

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): MURATA, et al.
Serial No.: Not yet assigned
Filed: January 14, 2004
Title: A SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND A
METHOD OF MANUFACTURING THE SAME
Group: Not yet assigned

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

January 14, 2004


Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s)
hereby claim(s) the right of priority based on Japanese Patent Application No.(s)
2003-005825, filed January 14, 2003.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Gregory E. Montone Ronald J. Shore
Registration No. 28,141 Reg. No. 28,577

GEM/alb
Attachment
(703) 312-6600

日 本 国 特 許 庁
JAPAN PATENT OFFICE

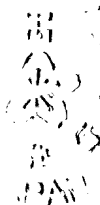
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 1 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 0 5 8 2 5
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 0 5 8 2 5]

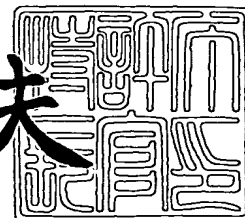
出 願 人 株式会社ルネサステクノロジ
Applicant(s):



2 0 0 3 年 1 0 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 H02015671

【提出日】 平成15年 1月14日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/90
H01L 27/10

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内

【氏名】 村田 龍紀

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内

【氏名】 中村 貴弘

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内

【氏名】 鈴木 康道

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置およびその製造方法

【特許請求の範囲】

【請求項 1】 (a 1) その上部および下部にそれぞれ第 1 および第 2 半導体領域を有する柱状の積層体と、

(a 2) 前記柱状の積層体の側壁に第 1 絶縁膜を介して形成された導電性膜と、
を有する縦型 MISFET を複数有し、

前記複数の縦型 MISFET の前記柱状の積層体および前記導電性膜は、

(b 1) 第 1 方向に第 1 距離離間して配置され、

(b 2) 第 2 方向に前記第 1 距離より大きい第 2 距離離間して配置され、
前記複数の縦型 MISFET の前記柱状の積層体の少なくとも一定の高さまで
において、

(c 1) 前記柱状の積層体の前記第 1 方向の隙間には、第 2 絶縁膜が形成され、

(c 2) 前記柱状の積層体の前記第 2 方向の隙間には、前記第 2 絶縁膜および
その上部の第 3 絶縁膜が形成されていることを特徴とする半導体集積回路装置。

【請求項 2】 (a 1) その上部および下部にそれぞれ第 1 および第 2 半導体領域を有する柱状の積層体と、

(a 2) 前記柱状の積層体の側壁に第 1 絶縁膜を介して形成された導電性膜と、
を有する縦型 MISFET を、

(b 1) 第 1 方向に第 1 距離離間して、

(b 2) 第 2 方向に前記第 1 距離より大きい第 2 距離離間して、アレイ状に複数有し、

(c) 前記複数の縦型 MISFET のうち、前記第 1 方向に並ぶ前記縦型 MISFET が埋め込まれ、前記第 1 方向に延在する複数の凸部を有する第 2 絶縁膜と、

(d) 前記第 2 絶縁膜の前記複数の凸部間に形成された第 3 絶縁膜と、
を有することを特徴とする半導体集積回路装置。

【請求項 3】 前記第 2 絶縁膜は、前記第 3 絶縁膜より被覆性が良い膜であることを特徴とする請求項 1 または 2 記載の半導体集積回路装置。

【請求項 4】 前記第 2 絶縁膜は、テトラエトキシシランを原料とした化学気相成長法により形成された酸化シリコン膜であり、

前記第 3 絶縁膜は、その密度が 1.0 g/cm^3 以上のプラズマ雰囲気下で形成された酸化シリコン膜であることを特徴とする請求項 1 または 2 記載の半導体集積回路装置。

【請求項 5】 前記第 2 絶縁膜は、テトラエトキシシランおよびオゾン (O_3) を原料とした化学気相成長法により形成された酸化シリコン膜であることを特徴とする請求項 4 記載の半導体集積回路装置。

【請求項 6】 前記柱状の積層体の高さは、前記第 1 距離の 3 倍以上であることを特徴とする請求項 1 または 2 記載の半導体集積回路装置。

【請求項 7】 前記第 1 距離は、 150 nm 以下であり、前記第 2 距離は、 500 nm 以上であることを特徴とする請求項 1 または 2 記載の半導体集積回路装置。

【請求項 8】 前記柱状の積層体の少なくとも一定の高さ以上の前記柱状の積層体の前記第 1 方向の隙間および前記第 2 方向の隙間には、第 4 絶縁膜が形成されていることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 9】 前記柱状の積層体の前記第 2 方向の隙間の前記第 2 絶縁膜の膜厚は、前記第 1 距離以上であることを特徴とする請求項 1 または 2 記載の半導体集積回路装置。

【請求項 10】 前記柱状の積層体およびその側壁の前記導電性膜の平面パターンは略楕円形状であり、前記第 1 方向の第 1 径は、前記第 2 方向の第 2 径より小さいことを特徴とする請求項 1 または 2 記載の半導体集積回路装置。

【請求項 11】 前記一定の高さは、前記第 1 半導体領域の底部から上部の間に位置することを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 12】 前記複数の縦型 MISFET は、前記第 1 方向および前記第 2 方向にアレイ状に配置された複数のメモリセルを構成し、

前記メモリセルは、

(d1) 前記複数の縦型MISFETのうち、前記第1方向に隣接する2つの前記縦型MISFETと、

(d2) 前記2つの縦型MISFETのそれぞれの前記第2半導体領域と接続され、前記2つの縦型MISFETとともにそれぞれの入出力部が交差接続されたインバータ対を構成する2つの横型駆動MISFETと、

(d3) 前記2つの縦型MISFETのそれぞれの前記第2半導体領域と第1線対との間にそれぞれ接続され、それぞれのゲート電極が第2線に接続された2つの横型転送MISFETと、
を有し、

(d4) 前記2つの横型駆動MISFETと前記2つの横型転送MISFETとは、前記第2半導体領域より下層に形成されていることを特徴とする請求項1または2記載の半導体集積回路装置。

【請求項13】 前記複数の縦型MISFETは、前記第1方向および前記第2方向にアレイ状に配置された複数のメモリセルを構成し、

前記メモリセルは、

(d1) 前記複数の縦型MISFETのうち、前記第1方向に隣接する2つの前記縦型MISFETであって、

第1線対とそれぞれの前記第2半導体領域がそれぞれ接続され、

第2線とそれぞれの前記導電性膜が接続される2つの前記縦型MISFETと

(d2) 前記2つの縦型MISFETのそれぞれの前記第2半導体領域と基準電位との間にそれぞれ接続され、そのゲート電極が前記2つの縦型MISFETのそれぞれの前記第2半導体領域と交差接続される2つの横型駆動MISFETと、を有し、

(d3) 前記2つの横型駆動MISFETは、前記第2半導体領域より下層に形成されていることを特徴とする請求項1または2記載の半導体集積回路装置。

【請求項14】 単一の前記メモリセルが形成される領域は、略矩形状であり、前記第1方向の長さより前記第2方向の長さの方がより大きいことを特徴とする請求項12または13記載の半導体集積回路装置。

【請求項 15】 (a) その上部および下部にそれぞれ第 1 および第 2 半導体領域を有する柱状の積層体を第 1 方向および第 2 方向に複数離間して形成する工程であって、前記第 1 方向の間隔より前記第 2 方向の間隔が広くなるよう形成する工程と、

(b) 前記柱状の積層体の側壁に第 1 絶縁膜を介して導電性膜を形成し、前記複数の柱状の積層体の側壁の前記導電性膜の第 1 方向の距離を第 1 距離と、第 2 方向の距離を前記第 1 距離より大きい第 2 距離とする工程と、

(c) 前記第 1 距離間を埋め込み、前記第 2 距離間を埋め込むことができない程度の膜厚の第 2 絶縁膜を形成する工程と、

(d) 前記第 2 絶縁膜上に第 3 絶縁膜を形成する工程であって、前記第 2 距離間を埋め込む工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 16】 (a) その上部および下部にそれぞれ第 1 および第 2 半導体領域を有する柱状の積層体を第 1 方向および第 2 方向に複数離間して形成する工程であって、前記第 1 方向の間隔より前記第 2 方向の間隔が広くなるよう形成する工程と、

(b) 前記柱状の積層体の側壁に第 1 絶縁膜を介して導電性膜を形成し、前記複数の柱状の積層体の側壁の前記導電性膜の第 1 方向の距離を第 1 距離と、第 2 方向の距離を前記第 1 距離より大きい第 2 距離とする工程と、

(c) 前記柱状の積層体間およびその上部に、前記第 1 距離以上の膜厚の第 2 絶縁膜を堆積する工程と、

(d) 前記第 2 絶縁膜上に前記 (c) 工程後における前記柱状の積層体の前記第 2 距離部上の前記第 2 絶縁膜の上部と、前記柱状の積層体上の前記第 2 絶縁膜の上部との高低差の 70% 以上の膜厚の第 3 絶縁膜を堆積する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 17】 前記 (c) 工程は、700℃以下の温度下で行われることを特徴とする請求項 15 または 16 記載の半導体集積回路装置の製造方法。

【請求項 18】 前記 (c) および (d) 工程は、700℃以下の温度下で行われることを特徴とする請求項 15 または 16 記載の半導体集積回路装置の製

造方法。

【請求項 19】 前記 (d) 工程の後、(e) 前記第 3 絶縁膜上に第 4 絶縁膜を堆積する工程と、

(f) 前記第 2、第 3 および第 4 絶縁膜を前記柱状の積層体の前記第 1 半導体領域の側壁に位置する前記導電性膜が露出するまでエッチングする工程と、

(g) 前記 (f) 工程によって露出した前記導電性膜をエッチングする工程と、
を有することを特徴とする請求項 15 または 16 記載の半導体集積回路装置の製造方法。

【請求項 20】 前記 (g) 工程の後、(h) 前記第 2 および第 3 絶縁膜上に第 5 絶縁膜を形成する工程を有することを特徴とする請求項 19 記載の半導体集積回路装置の製造方法。

【請求項 21】 前記 (d) 工程の後、(e) 前記第 2 および第 3 絶縁膜を前記柱状の積層体の前記第 1 半導体領域の側壁に位置する前記導電性膜が露出するまでエッチングする工程と、

(f) 前記 (e) 工程によって露出した前記導電性膜をエッチングする工程と、
を有することを特徴とする請求項 15 または 16 記載の半導体集積回路装置の製造方法。

【請求項 22】 前記 (f) 工程の後、(g) 前記第 2 および第 3 絶縁膜上に第 4 絶縁膜を形成する工程を有することを特徴とする請求項 21 記載の半導体集積回路装置の製造方法。

【請求項 23】 前記第 2 絶縁膜は、前記第 3 絶縁膜より被覆性が良い膜であることを特徴とする請求項 15 または 16 記載の半導体集積回路装置の製造方法。

【請求項 24】 前記第 2 絶縁膜は、酸化シリコン膜であり、前記 (c) 工程は、テトラエトキシシランを原料とした化学気相成長法を用いて行われることを特徴とする請求項 15 または 16 記載の半導体集積回路装置の製造方法。

【請求項 25】 前記第 2 絶縁膜は、酸化シリコン膜であり、前記 (c) 工

程は、テトラエトキシシランおよびオゾン (O_3) を原料とした化学気相成長法を用いて行われることを特徴とする請求項 15 または 16 記載の半導体集積回路装置の製造方法。

【請求項 26】 前記第 3 絶縁膜は、酸化シリコン膜であり、前記 (d) 工程は、その密度が $1.0 \times 10^{11} / \text{cm}^2$ 以上のプラズマ雰囲気下で行われることを特徴とする請求項 15 または 16 記載の半導体集積回路装置の製造方法。

【請求項 27】 前記柱状の積層体の高さは、前記第 1 距離の 3 倍以上であることを特徴とする請求項 15 または 16 記載の半導体集積回路装置の製造方法。

【請求項 28】 前記第 1 距離は、 150 nm 以下であり、前記第 2 距離は、 500 nm 以上であることを特徴とする請求項 15 または 16 記載の半導体集積回路装置の製造方法。

【請求項 29】 前記柱状の積層体およびその側壁の前記導電性膜の平面パターンは略楕円形状であり、前記第 1 方向の第 1 径は、前記第 2 方向の第 2 径より小さいことを特徴とする請求項 15 または 16 記載の半導体集積回路装置の製造方法。

【請求項 30】 前記 (a) 工程の前記柱状の積層体は、第 1 方向に H 字状のマスクを用いて形成されることを特徴とする請求項 15 または 16 記載の半導体集積回路装置の製造方法。

【請求項 31】 前記 (a) 工程の前に、
(h) ソース・ドレイン領域を共有する 2 つの横型 MISFET 対を形成する工程を有し、

(i) 前記第 1 方向に隣接する 2 つの前記縦型 MISFET の前記第 2 半導体領域は、前記 2 つの横型 MISFET 対の共有する前記ソース・ドレイン領域とそれぞれ接続されることを特徴とする請求項 15 または 16 記載の半導体集積回路装置の製造方法。

【請求項 32】 前記 (a) 工程の前に、
(j) 2 つの横型 MISFET を形成する工程を有し、
(k) 前記第 1 方向に隣接する 2 つの前記縦型 MISFET の前記第 2 半導体

領域は、前記 2 つの横型 M I S F E T の一端とそれぞれ接続されることを特徴とする請求項 15 または 16 記載の半導体集積回路装置の製造方法。

【請求項 33】 (a) その上部および下部にそれぞれ第 1 および第 2 半導体領域を有する半導体膜を形成する工程と、

(b) 前記半導体膜を第 1 方向に対し H 字状のマスクを用いて加工することにより前記第 1 方向と直交する第 2 方向に長径を有する略楕円柱状の積層体を形成する工程と、

(c) 前記略楕円柱状の積層体の側壁に絶縁膜を介して導電性膜を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 34】 (a1) その上部および下部にそれぞれ第 1 および第 2 半導体領域を有する柱状の積層体と、

(a2) 前記柱状の積層体の側壁に第 1 絶縁膜を介して形成された導電性膜と、

を有する縦型 M I S F E T を複数有し、

前記複数の縦型 M I S F E T の前記柱状の積層体および前記導電性膜は、

(b1) 第 1 方向に第 1 距離離間して配置され、

(b2) 第 2 方向に前記第 1 距離より大きい第 2 距離離間して配置され、

(c) 前記柱状の積層体およびその側壁の前記導電性膜の平面パターンは略楕円形状であり、前記第 1 方向の第 1 径は、前記第 2 方向の第 2 径より小さい半導体集積回路装置の製造方法であって、

(d) その上部および下部にそれぞれ第 1 および第 2 半導体領域を有する半導体膜を形成する工程と、

(e) 前記半導体膜を前記第 1 方向に対し H 字状のマスクを用いて加工することにより前記第 1 方向と直交する第 2 方向に長径を有する略楕円柱状の積層体を形成する工程を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 35】 前記工程は、S R A M を構成する縦型 M I S F E T を形成する工程であって、前記 S R A M の単一のメモリセルの形成領域は、略矩形状であり、前記第 2 方向に長辺を有することを特徴とする請求項 33 または 34 記載

の半導体集積回路装置の製造方法。

【請求項 36】 前記H字状のマスクは、フォトリソグラフィ技術で用いられる転写マスクであり、前記H字状の転写マスクにより略楕円柱状の加工用パターンが形成され、前記加工用パターンを用いて前記半導体膜が略楕円柱状の積層体に加工されることを特徴とする請求項 33 または 34 記載の半導体集積回路装置の製造方法。

【請求項 37】 前記H字状のマスクは、前記第1方向の幅が、前記第2方向の中央部においてその両端部よりも狭く構成された形状を構成していることを特徴とする請求項 36 記載の半導体集積回路装置の製造方法。

【請求項 38】 (a) その上部および下部にそれぞれ第1および第2半導体領域を有する柱状の積層体であって、

その平面パターンが略楕円形状の柱状の積層体と、

(b) 前記柱状の積層体の側壁に絶縁膜を介して形成された導電性膜と、を有することを特徴とする半導体集積回路装置。

【請求項 39】 (a1) その上部および下部にそれぞれ第1および第2半導体領域を有する柱状の積層体と、

(a2) 前記柱状の積層体の側壁に第1絶縁膜を介して形成された導電性膜と、を有する縦型MISFETを複数有し、

前記複数の縦型MISFETの前記柱状の積層体および前記導電性膜は、

(b1) 第1方向に第1距離離間して配置され、

(b2) 第2方向に前記第1距離より大きい第2距離離間して配置され、

(c) 前記柱状の積層体およびその側壁の前記導電性膜の平面パターンは略楕円形状であり、前記第1方向の第1径は、前記第2方向の第2径より小さいことを特徴とする半導体集積回路装置。

【請求項 40】 前記柱状の積層体は、SRAMの縦型MISFETを構成し、前記SRAMの単一のメモリセルの形成領域は、略矩形状であり、前記略楕円形状の長径方向に長辺を有することを有することを特徴とする請求項 38 または 39 記載の半導体集積回路装置。

【請求項 4 1】 前記導電性膜は、前記柱状の積層体の周囲を囲むように形成されることを特徴とする請求項 1、2、3 8 および 3 9 のいずれか一項に記載の半導体集積回路装置。

【請求項 4 2】 前記導電性膜は、前記柱状の積層体の周囲を囲むように形成されることを特徴とする請求項 1 5、1 6、3 3 および 3 4 のいずれか一項に記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置およびその製造技術に関し、特に、縦型 M I S F E T を有する半導体集積回路装置に適用して有効な技術に関する。

【0002】

【従来の技術】

半導体集積回路装置は、導電性膜と絶縁膜の積層構造部を多数有する。この絶縁膜は、導電性膜間の絶縁を図る目的で形成されることが多い。例えば、複数の配線層間は、絶縁膜によって分離されている。また、半導体基板の素子形成領域も溝中に埋め込まれた絶縁膜によって分離される。

【0003】

しかしながら、装置の高集積化・微細化に伴い、配線間や溝のスペースが小さくなる傾向にあり、また、場所によっては、スペースの幅と高さの比（アスペクト比＝高さ／スペース）が大きくなる場合がある。

【0004】

従って、これらのスペースを精度良く埋め込むために種々の工夫がなされている。

【0005】

例えば、特許文献 1 には、微細な線幅と高縦横比を有する領域、例えば導電性ライン（4 2）間を第 1 絶縁膜（4 6）で埋め込み、乾式エッチバック（5 0）を行い、ボイド（4 8）を取り除いた後、その上部に第 2 絶縁膜（5 2）を形成する技術が開示されている。

【0006】

【特許文献1】

特開平11-176936号公報

【0007】

【発明が解決しようとする課題】

本発明者らは、半導体集積回路装置の研究・開発に従事しており、特に、半導体記憶装置の一種であるSRAM (Static Random Access Memory) の構造や製造方法についての検討を行っている。

【0008】

本発明者らが検討しているSRAMは、例えば4個のnチャネル型MISFET (Metal-Insulator-Semiconductor-Field-Effect-Transistor) と2個のpチャネル型MISFETとでメモリセルを構成している。

【0009】

ところが、このSRAMメモリセルを構成する6個のMISFETを平面的に配置したのでは、メモリセルサイズの縮小が困難であるため、追って詳細に説明するように、2個のpチャネル型MISFETを縦型MISFETとし、4つの横型MISFETの上層に形成することを検討している。

【0010】

しかしながら、縦型MISFETを用いた場合、縦型MISFET間の絶縁膜の埋め込みが困難であることが判明した。

【0011】

即ち、縦型MISFETは、ソース、ドレイン領域をその上下に有する半導体柱で構成され、この半導体柱の高さと半導体柱間のスペースの比（アスペクト比）は、従前より検討されている配線間や素子分離溝のアスペクト比よりはるかに大きく、半導体柱間を精度良く埋め込む技術の検討が必要である。

【0012】

特に、下層の横型MISFETと縦型MISFETのレイアウトの関係上、半導体柱の間隔がX方向、Y方向によって異なる場合には、広いスペースも狭いスペースも精度良く埋め込む必要がある。

【0013】

本発明の目的は、半導体集積回路装置を構成する縦型MISFET間の埋め込み特性を向上させる技術を提供することにある。

【0014】

本発明の他の目的は、縦型MISFETを有する半導体集積回路装置の特性の向上を図ることにある。また、微細化を図ることにある。

【0015】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要について説明すれば、次のとおりである。

【0017】

本発明の半導体集積回路装置は、(a1) その上部および下部にそれぞれ第1および第2半導体領域を有する柱状の積層体と、(a2) 前記柱状の積層体の側壁に第1絶縁膜を介して形成された導電性膜と、を有する縦型MISFETを複数有し、前記複数の縦型MISFETの前記柱状の積層体および前記導電性膜は、(b1) 第1方向に第1距離離間して配置され、(b2) 第2方向に前記第1距離より大きい第2距離離間して配置され、前記複数の縦型MISFETの前記柱状の積層体の少なくとも一定の高さまでにおいて、(c1) 前記柱状の積層体の前記第1方向の隙間には、第2絶縁膜が形成され、(c2) 前記柱状の積層体の前記第2方向の隙間には、前記第2絶縁膜およびその上部の第3絶縁膜が形成されているものである。

【0018】

本発明の半導体集積回路装置の製造方法は、(a) その上部および下部にそれぞれ第1および第2半導体領域を有する柱状の積層体を第1方向および第2方向に複数離間して形成する工程であって、前記第1方向の間隔より前記第2方向の間隔が広くなるよう形成する工程と、(b) 前記柱状の積層体の側壁に第1絶縁

膜を介して導電性膜を形成し、前記複数の柱状の積層体の側壁の前記導電性膜の第1方向の距離を第1距離と、第2方向の距離を前記第1距離より大きい第2距離とする工程と、(c) 前記第1距離間を埋め込み、前記第2距離間を埋め込むことができない程度の膜厚の第2絶縁膜を形成する工程と、(d) 前記第2絶縁膜上に第3絶縁膜を形成する工程であって、前記第2距離間を埋め込む工程と、を有するものである。

【0019】

本発明の半導体集積回路装置の製造方法は、(a) その上部および下部にそれぞれ第1および第2半導体領域を有する半導体膜を形成する工程と、(b) 前記半導体膜を第1方向に対しH字状のマスクを用いて加工することにより前記第1方向と直交する第2方向に長径を有する略楕円柱状の積層体を形成する工程と、(c) 前記柱状の積層体の側壁に絶縁膜を介して導電性膜を形成する工程と、を有するものである。

【0020】

本発明の半導体集積回路装置は、(a) その上部および下部にそれぞれ第1および第2半導体領域を有する柱状の積層体であって、その平面パターンが略楕円形状の柱状の積層体と、(b) 前記柱状の積層体の側壁に絶縁膜を介して形成された導電性膜と、を有するものである。

【0021】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、説明を分かりやすくするため各部位(例えば絶縁膜等)に「第1」、「第2」等の番号を付けて説明しているが、これらの表記と請求項記載の「第1」、「第2」等は必ずしも一致するものではない。

【0022】

図1は、本発明の実施の形態であるSRAMのメモリセルの等価回路図である。図1に示すように、このSRAMのメモリセル(MC)は、一対の相補性デー

タ線 (BLT、BLB) とワード線 (WL) との交差部に配置された 2 個の転送用の横型 MISFET (TR1、TR2、以下単に「転送 MISFET」という)、2 個の駆動用の横型 MISFET (DR1、DR2、以下単に「駆動 MISFET」という) および 2 個の負荷用の縦型 MISFET (SV1、SV2、以下単に「縦型 MISFET」という) によって構成されている。

【0023】

メモリセル (MC) を構成する上記 6 個の MISFET のうち、2 個の転送 MISFET (TR1、TR2) および 2 個の駆動 MISFET (DR1、DR2) は、n チャネル型 MISFET で構成されている。また、2 個の縦型 MISFET (SV1、SV2) は、p チャネル型 MISFET で構成されている。

【0024】

なお、後述するように、縦型 MISFET (SV1、SV2) は、駆動 MISFET (DR1、DR2) および転送 MISFET (TR1、TR2) の形成領域の上部に配置される。

【0025】

図 1 に示すように、メモリセル (MC) の駆動 MISFET (DR1) および縦型 MISFET (SV1) は第 1 のインバータ INV₁ を構成し、駆動 MISFET (DR2) および縦型 MISFET (SV2) は第 2 のインバータ INV₂ を構成している。これら一対のインバータ INV₁、INV₂ の入出力部はメモリセル (MC) 内で交差結合され、1 ビットの情報を記憶する情報蓄積部としてのフリップフロップ回路を構成している。

【0026】

即ち、インバータを構成する 2 つの MISFET 対は、それぞれ基準電圧 (V_{ss}) と電源電圧 (V_{dd}、例えば 3 V) との間に直列に接続され、これらの接続ノード (出力部、A、B) と、これらのゲート電極の接続部 (入力部) が交差接続される。

【0027】

言い換えれば、駆動 MISFET (DR1) のドレイン (一端) と、縦型 MISFET (SV1) のドレインと、駆動 MISFET (DR2) のゲートと、縦

型MISFET (SV2) のゲートとは互いに電氣的に接続される。つまり、これらのMISFETの各部位は、メモリセルの一方の蓄積ノード (A) に接続される。また、駆動MISFET (DR2) のドレインと、縦型MISFET (SV2) のドレインと、駆動MISFET (DR1) のゲートと、縦型MISFET (SV1) のゲートとは互いに電氣的に接続される。つまり、これらのMISFETの各部位は、メモリセルの一方の蓄積ノード (B) に接続される。

【0028】

一方、蓄積ノード (A、B) と相補性データ線 (BLT、BLB) との間には、それぞれ転送MISFET (TR1、TR2) が電氣的に接続される。また、転送MISFET (TR1、TR2) のゲート電極は、ワード線 (WL) に電氣的に接続される。

【0029】

上記メモリセル (MC) は、一対の蓄積ノード (A、B) の一方をハイ (High)、他方をロウ (Low) にすることにより情報を記憶する。

【0030】

上記メモリセル (MC) の情報の読み出し時には、選択されたワード線 (WL) に例えば電源電圧 (Vdd) を印加し、転送MISFET (TR1、TR2) をオン (ON) にして一対の蓄積ノード (A、B) の電位差を相補性データ線 (データ線対、BLT、BLB) で読み取る。

【0031】

また、書き込み時には、選択されたワード線 (WL) に例えば電源電圧 (Vdd) を印加して、転送MISFET (TR1、TR2) をONにすると共に、相補性データ線 (BLT、BLB) の一方を電源電圧 (Vdd) に接続し、他方を基準電圧 (Vss) に接続することによって、駆動MISFET (DR1、DR2) のON、オフ (OFF) を反転させる。

【0032】

図2～図34 (図12および図13を除く) は、本実施の形態の半導体集積回路装置 (SRAM) の製造方法を示す基板の要部断面図、要部平面図もしくは要部斜視図である。なお、各断面図の左図は、平面図のA-A'部、中央図は、平

面図のB-B'部、右図は、C-C'部に対応する。

【0033】

以下、本実施の形態の半導体集積回路装置（SRAM）の特徴的な構造について説明する。なお、詳細な構造については、製造工程に従って説明する。

【0034】

前記図の最終工程図である図33および図34に示すように、SRAMメモリセルは、図中の（+）印で囲まれる略矩形状のセル領域に形成され、横型トランジスタである駆動MISFET（DR1、DR2）と転送MISFETとは、比較的下層の領域に形成され、縦型MISFET（SV1、SV2）は、前記4つのMISFETよりも上層の領域に形成される。

【0035】

ここで、本実施の形態のSRAMにおいて特徴的な箇所は、縦型MISFET SV1とSV2とのY方向（B-B'方向）のスペースは、図34の中央図に示すように、そのゲート電極66の上部近傍までは、第1絶縁膜（O₃-TEOS膜）70aの単層で埋め込まれているのに対し、そのX方向のスペースは、第1絶縁膜（O₃-TEOS膜）70aと第2絶縁膜（HDP酸化膜）70bの積層構造となっている。

【0036】

また、図35に示すように、各セル領域は、X方向およびY方向にアレイ状に配置され、また、各セル領域は、Y方向に走るセル領域の短辺に対し線対称に配置され、X方向に走るセル領域の長辺に対し線対称に配置される。なお、セル領域内の各パターンは、セル領域の中心点に対し点対称に配置されている。

【0037】

従って、縦型MISFET（SV1、SV2）はX方向およびY方向にアレイ状に配置されるが、Y方向においては、距離D1離間して配置され、X方向においては、距離D2（D2>D1）離間して配置される。なお、図35においては、図33に示すパターンの一部（SV1、SV2、42、43等）を示す。

【0038】

従って、アレイ状に配置される縦型MISFET（柱状の積層体（P1、P2

）およびゲート電極 66）と第 1 絶縁膜 70 a の位置関係は、Y 方向に並ぶ柱状の積層体（P 1、P 2）およびゲート電極 66 が、第 1 絶縁膜（O₃-TEOS 膜）70 a の Y 方向に延在する凸部 172 a 中に埋め込まれたような形状となっている（図 26 参照）。

【0039】

また、第 1 絶縁膜（O₃-TEOS 膜）70 a の Y 方向に延在する凸部間は、第 2 絶縁膜（HDP 酸化膜）70 b で埋め込まれている（図 26 参照）。また、この第 1 絶縁膜（O₃-TEOS 膜）70 a から突出した柱状の積層体（P 1、P 2）は、第 4 絶縁膜（P-TEOS 膜）73 で覆われている（図 34 参照）。

【0040】

なお、アレイ状に配置される柱状の積層体（P 1、P 2）の平面パターンを、図 17 に示すように、略楕円形状とすることもできる。この略楕円形状の長径は、セル領域の長辺方向（X 方向）に位置する。

【0041】

このように、柱状の積層体（P 1、P 2）間のスペースが広い（ピッチが緩い）方向に長い、略楕円形状とすることで、チャネル領域を広く確保でき、チャネル電流を増加させることができる。また、セル領域の縮小化を図ることができる。

【0042】

以下、本実施の形態の半導体集積回路装置（SRAM）のより具体的な構造をその製造方法に従って詳細に説明する。

【0043】

まず、図 2 および図 3 に示すように、例えば p 型の単結晶シリコンからなる基板 1 に素子分離を形成する。この素子分離は、例えば、基板 1 中に溝 2 を形成し、熱酸化した後、この溝の内部に絶縁膜として例えば酸化シリコン膜 3 を埋め込むことにより形成する。この素子分離で囲まれた基板 1 の露出領域が、素子形成領域（活性領域）L となる。

【0044】

次に、例えば基板 1 の一部に p 型不純物（例えばホウ素（B））をイオン注入

し、熱拡散させることにより、基板 1 の主面に p 型ウエル 4 を形成する。

【0045】

なお、図 2 および図 3 に示す領域は、メモリ領域であり、このメモリ領域の周辺には、図示しない周辺回路領域が存在する。この周辺回路領域には、p 型ウエルの他、n 型不純物を拡散させることにより n 型ウエルも形成される。また、p 型ウエルの主表面には、後述する横型 M I S F E T と同様の工程で、n チャネル型 M I S F E T Q n が形成され、また、用いる不純物を逆導電型とした工程により、p チャネル型 M I S F E T Q p が形成される（図 3 9 参照）。これらの M I S F E T 等によって、メモリを駆動させるための種々の回路、例えば、図 3 6 に示す X デコーダ（X d e c）や Y デコーダ（Y d e c）等が構成される。図 3 6 中の P A は、周辺回路領域を、M A は、メモリ領域を示す。

【0046】

次に、p 型ウエル 4 の表面に、膜厚 3 n m ～ 4 n m 程度のゲート絶縁膜 6 を形成する。このゲート絶縁膜 6 は、例えば酸化シリコン膜より成り、例えば基板 1 を熱酸化することにより形成する。

【0047】

次に、ゲート絶縁膜 6 上に、導電膜として例えば n 型不純物をドーピングした多結晶シリコン膜を堆積し、さらに、その上部にキャップ絶縁膜として酸化シリコン膜を例えば化学気相成長（C V D : Chemical Vapor Deposition）法で堆積する。

【0048】

次に、上記酸化シリコン膜をパターニングし、この酸化シリコン膜をマスクにして n 型多結晶シリコン膜をドライエッチングすることにより、p 型ウエル 4 上にゲート電極 7 A、7 B を形成する。酸化シリコンはフォトリソ膜に比べて多結晶シリコンに対するエッチング選択比が大きいので、酸化シリコンをマスクとして用いることにより、微細なゲート電極を精度よくパターニングすることができる。ゲート電極 7 A は、転送 M I S F E T（T R 1、T R 2）のゲート電極を構成し、ゲート電極 7 B は、駆動 M I S F E T（D R 1、D R 2）のゲート電極を構成する。図 3 に示すように、ゲート電極 7 A、7 B は、X 方向に延在する

長方形の平面パターンを有しており、Y方向の幅、即ちゲート長は、例えば0.13~0.14 μm である。

【0049】

次に、ゲート電極7A、7Bの両側のp型ウエル4にn型不純物（例えば、リンまたはヒ素）をイオン注入することによって、比較的低濃度のn⁻型半導体領域9を形成する。

【0050】

次に、基板1上にCVD法で絶縁膜として酸化シリコン膜および窒化シリコン膜を順次堆積した後、これらの膜を異方性エッチングすることによりゲート電極7A、7Bの側壁にサイドウォールスペーサ13を形成する。この際、ゲート電極上の酸化シリコン膜および基板1の表面のゲート絶縁膜（酸化シリコン膜）6も除去する。

【0051】

次に、ゲート電極7A、7Bの両側のp型ウエル4にn型不純物（例えば、リンまたはヒ素）をイオン注入することによって、比較的高濃度のn⁺型半導体領域14をする。

【0052】

これまでの工程で、LDD構造のソース、ドレイン領域を有する転送MISFET（TR1、TR2）および駆動MISFET（DR1、DR2）が形成される。この4つのMISFETのうち、TR1とDR1は、ソース、ドレイン領域の一方を共有し、また、TR2とDR2も、ソース、ドレイン領域の一方を共有する。

【0053】

次に、基板1上に高融点金属膜としてコバルト（Co）膜を例えばスパッタリング法で堆積し、熱処理を施すことにより、Co膜とゲート電極7A、7Bとの界面、およびCo膜と基板1（n⁺型半導体領域14）との界面にシリサイド反応を生じさせ、シリサイド層18を形成する。次いで、未反応のCo膜をエッチングで除去する。

【0054】

次に、MISFET (TR1、TR2、DR1、DR2) 上に、絶縁膜として窒化シリコン膜19および酸化シリコン膜20を例えばCVD法で堆積し、続いて化学機械研磨 (CMP: Chemical Mechanical Polishing) 法で酸化シリコン膜20の表面を平坦化する。

【0055】

次に、フォトリソ膜をマスクにして上記酸化シリコン膜20および窒化シリコン膜19をドライエッチングすることにより、転送MISFET (TR1、TR2) のゲート電極7Aの上部にコンタクトホール21を形成し、駆動MISFET (DR1、DR2) のゲート電極7Bの上部にコンタクトホール22を形成する。また、転送MISFET (TR1、TR2) および駆動MISFET (DR1、DR2) のそれぞれのソース、ドレイン (n^+ 型半導体領域14) の上部にコンタクトホール23、24、25を形成する。このうち、コンタクトホール23が、TR1とDR1、TR2とDR2の共通のソース、ドレイン領域上に形成される。

【0056】

次に、上記コンタクトホール21～25の内部を含む酸化シリコン膜20上にバリア膜としてチタン (Ti) 膜および窒化チタン (TiN) 膜の積層膜を例えばスパッタリング法で堆積し、続いて導電性膜としてタングステン (W) 膜を例えばCVD法で堆積した後、コンタクトホール21～25の外部のW膜等をCMP法によって除去し、コンタクトホール21～25の内部にプラグ28を形成する。

【0057】

次に、図4および図5に示すように、基板1上に絶縁膜として窒化シリコン膜29および酸化シリコン膜30を例えばCVD法で順次堆積した後、これらの膜をドライエッチングすることにより、コンタクトホール21～25のそれぞれの上部に溝31～35を形成する。このうち、溝32、33は、コンタクトホール22上からコンタクトホール23上に延在する。なお、窒化シリコン膜29は、酸化シリコン膜30をエッチングする際のストッパ膜として使用される。

【0058】

次に、溝 31～35 の内部を含む酸化シリコン膜 30 上に、バリア膜として TiN 膜を例えばスパッタリング法で堆積し、続いて導電性膜として W 膜を例えば CVD 法で堆積した後、溝 31～35 の外部の W 膜等を CMP 法によって除去し、中間導電層 41～45 を形成する。図 6 に、中間導電層形成後のメモリセルアレイの要部平面図を示す。前述した通り、各セル領域は、X 方向および Y 方向にアレイ状に配置され、各セル領域は、Y 方向に走るセル領域の短辺に対し線対称に配置され、また、X 方向に走るセル領域の長辺に対し線対称に配置される。また、セル領域内の各パターンは、セル領域の中心点に対し点対称に配置されている。

【0059】

図 5 に示す中間導電層 41～45 のうち、メモリセル領域のほぼ中央部に形成された一対の中間導電層 42、43 は、図 1 の蓄積ノード A、B と対応させることができる。

【0060】

即ち、中間導電層 42 (A) は、TR1 と DR1 の共通のソース、ドレイン領域 (n+型半導体領域 14) および DR2 のゲート電極 7B と電氣的に接続される。一方の中間導電層 43 (B) は、TR2 と DR2 の共通のソース、ドレイン領域 (n+型半導体領域 14) および DR1 のゲート電極 7B と電氣的に接続される。

【0061】

この後、中間導電層 42 (A) 上に縦型 MISFET (SV1) が形成され、中間導電層 43 (B) 上に縦型 MISFET (SV2) が形成される。また、SV1 のゲート電極は、中間導電層 43 (B) に接続され、SV2 のゲート電極は、中間導電層 42 (A) に接続される。

【0062】

この他、中間導電層 41 上には、ワード線 (WL) が形成され、中間導電層 44 上にはビット線 (BLT、BLB) が形成され、中間導電層 45 上には基準電位 (Vss) 線が形成される。また、縦型 MISFET の上部には、電源電位線 (Vdd) が形成される。

【0063】

次いで、上記縦型MISFETおよび各種配線の製造工程について説明する。

【0064】

なお、図7～図32中の要部平面図においては、図面を分かりやすくするため、中間導電層より下の層のパターンを省略してある。

【0065】

まず、図7および図8に示すように、中間導電層42、43の表面に例えばWN膜をスパッタリング法で堆積し、パターニングすることによりバリア層48を形成する。このバリア層48は、プラグ55を構成するシリコン膜と中間導電層42、43との界面で所望しないシリサイド反応が生じるのを防ぐために形成する。従って、プラグ55の形成領域にのみ形成すればよい。

【0066】

次に、基板1上に絶縁膜として窒化シリコン膜49を例えばCVD法で堆積した後、その上部に導電性膜としてp型不純物をドーパした多結晶シリコン膜（またはアモルファスシリコン膜）を例えばCVD法で堆積する。

【0067】

次に、多結晶シリコン膜をパターニングすることにより、一対のゲート引き出し電極51（51a、51b）を形成する。ゲート引き出し電極51は、後の工程で形成される縦型MISFET（SV1、SV2）の平面パターンに隣接する領域に配置され、縦型MISFET（SV1、SV2）のゲート電極（66）と接続される。また、ゲート引き出し電極51a、51bは、それぞれ中間導電層42、43と近接して配置される。

【0068】

このように、縦型MISFETと接続されるプラグ55とゲート引き出し電極51a、51bをほぼ同じ層で上記位置に形成することにより、ゲート引き出し電極とゲート電極とをセルフアラインで接続することができ、また、ゲート引き出し電極と中間導電層42、43の高低差を少なくでき、後述するタンゲステン（W）系プラグ80でこれらを接続することができる。

【0069】

次に、図9に示すように、窒化シリコン膜49の上部に絶縁膜として酸化シリコン膜52を例えばCVD法で堆積し、ゲート引き出し電極51を被覆する。次いで、バリア層48上の酸化シリコン膜52をドライエッチングすることによりスルーホール53を形成する。窒化シリコン膜49は、酸化シリコン膜52をエッチングする際のストッパ膜として機能する。

【0070】

次に、スルーホール53の内部を含む酸化シリコン膜52上にCVD法で酸化シリコン膜を堆積し、続いてこの酸化シリコン膜を異方性エッチングしてスルーホール53の側壁に絶縁膜からなるサイドウォールスペーサ54を形成する。このとき、スルーホール53の底部の窒化シリコン膜49もエッチングする。

【0071】

次に、スルーホール53の内部を含む酸化シリコン膜52上に導電性膜としてp型不純物をドーピングした多結晶シリコン膜（またはアモルファスシリコン膜）を例えばCVD法で堆積した後、スルーホール53の外部の多結晶シリコン膜をCMP法（またはエッチバック法）によって除去することにより、スルーホール53の内部にプラグ55を形成する。

【0072】

次に、プラグ55上を含む酸化シリコン膜52の上部にp型シリコン膜57p、シリコン膜58iおよびp型シリコン膜59pを形成する。これら3層のシリコン膜（57p、58i、59p）を形成するには、例えばホウ素をドーピングしたアモルファスシリコン膜およびノンドープのアモルファスシリコン膜をCVD法で順次堆積した後、熱処理を行ってこれらのアモルファスシリコン膜を結晶化する。次いで、シリコン膜58iにチャネル形成用のn型またはp型不純物をイオン注入した後、シリコン膜58iの上部にホウ素をドーピングしたアモルファスシリコン膜をCVD法で堆積し、続いて熱処理によってこのアモルファスシリコン膜を結晶化する。次いで、p型シリコン膜59pの上部にキャップ絶縁膜として薄い酸化シリコン膜61および窒化シリコン膜62を例えばCVD法で順次堆積する。

【0073】

次に、図10および図11に示すように、図示しないフォトリソ膜をマスクに窒化シリコン膜62をドライエッチングすることにより、縦型MISFET (SV1、SV2)を形成する領域の上部に窒化シリコン膜62を残す。次いで、窒化シリコン膜62をマスクにして3層のシリコン膜(57p、58i、59p)等をドライエッチングする。これにより、p型シリコン膜57pからなる下部半導体層(半導体領域)57、シリコン膜58iからなる中間半導体層58、p型シリコン膜59pからなる上部半導体層59を有する柱状の積層体(P1、P2)が形成される。なお、この時点では、上部半導体層59上には、窒化シリコン膜62が残存している。

【0074】

上記積層体(P1)の下部半導体層57は、縦型MISFET (SV1)のドレインを構成し、上部半導体層59は、ソースを構成する。下部半導体層57と上部半導体層59との間に位置する中間半導体層58は、実質的に縦型MISFET (SV1)の基板を構成し、その側壁はチャネル領域を構成する。また、積層体(P2)の下部半導体層57は、縦型MISFET (SV2)のドレインを構成し、上部半導体層59は、ソースを構成する。中間半導体層58は、実質的に縦型MISFET (SV2)の基板を構成し、その側壁はチャネル領域を構成する。

【0075】

ここで、本実施の形態においては、窒化シリコン膜62を加工するためのフォトリソ膜をパターンニングする際の転写パターン(レチクルパターン)を図12に示す形状とする。図12に示すように、この転写パターン(以降、転写マスクとも言う)は、Y方向から見た際、H字状となる。すなわち、図13を用いて後述するように、この転写パターン(転写マスク)のY方向の幅は一定値でなく、その中央部においてその両端部よりも狭く構成されたH字状を形成する。なお、図12においては、実デバイスのパターンと転写パターンとの位置関係を分かりやすくするため、中間導電層42、43のパターンも記載してある。

【0076】

このように本実施の形態によれば、Y方向にH字状の転写マスクを用いたので

、フォトリソ膜をX方向に長径を有する略楕円形状の加工用パターンに加工することができる。この略楕円形状の加工用パターンを用いて窒化シリコン膜62をエッチングし、略楕円形状に加工された窒化シリコン膜62を用いて柱状の積層体(P1、P2)をエッチングすることにより、柱状の積層体(P1、P2)の平面パターンも、X方向に長い略楕円形状とすることができる(図17参照)。このように、Y方向にH字状の転写マスクを用いたので、X方向に長径を有する略楕円形状の加工用パターンを形成することができ、柱状の積層体(P1、P2)の平面パターンも、X方向に長い略楕円形状とすることができる。

【0077】

その結果、柱状の積層体のY方向の間隔を狭くでき、セル領域の微細化を図りつつ、縦型MISFETのチャネル領域(チャネル電流)を大きくすることができる。

【0078】

図13に、転写パターンと加工形状(積層体の平面パターン)の関係を示す。図13(b)に示すように、転写パターンは、Y方向にH字状である。言い換えれば、短辺(300nm)および長辺(320nm)を有する矩形状の2つの長辺(X方向)の中央部の両端が、X方向に一定の幅(120nm)、Y方向に一定の深さ(70nm)の矩形状パターンが欠けたパターンとなっている。すなわち、転写パターンは、Y方向の幅が、X方向の中央部において両端部よりも狭く構成されたH字状を構成している。

【0079】

前記寸法の転写パターンの場合、積層体の平面パターンは、長径が約270nm、短径が約230nmの楕円形状となる。

【0080】

これに対し、図13(a)に示すように、一辺が240nmの正形状の転写パターンを用いた場合には、積層体の平面パターンは、真円とはならないが、略円形(長径が236nm、短径が224nm)となる。

【0081】

なお、図17以外の平面図および斜視図においては、便宜上、窒化シリコン膜

62 および柱状の積層体 (P1、P2) の平面パターンを矩形状として表す。

【0082】

また、上記シリコン膜 (57p、58i、59p) をドライエッチングする際には、例えば図10に示すように、積層体 (P1、P2) の側壁底部にテーパを形成してもよい。テーパ形状とすることにより、合わせずれによる下部半導体層57とプラグ55のコンタクト抵抗の増加を抑制することができる。

【0083】

また、積層体 (P1、P2) を形成する際、上部半導体層59と中間半導体層58との界面近傍、下部半導体層57と中間半導体層58との界面近傍、または中間半導体層58の中央部などに窒化シリコン膜などで構成される薄い (数nm以下) トンネル絶縁膜を設けてもよい。このトンネル絶縁膜により下部半導体層57や上部半導体層59中の不純物が中間半導体層58の内部に拡散するのを防ぐことができる。

【0084】

次に、図14および図15に示すように、積層体 (P1、P2) を構成する下部半導体層57、中間半導体層58および上部半導体層59のそれぞれの側壁表面にゲート絶縁膜63を形成する。このゲート絶縁膜63は、例えば酸化シリコン膜からなり、基板1を800℃以下の低温熱酸化 (例えばウェット酸化) することによって形成される。このとき、積層体 (P1、P2) とその上部の窒化シリコン膜62との間には酸化シリコン膜61が形成されているので、上部半導体層59の表面に形成されるゲート絶縁膜63と窒化シリコン膜62との接触が防止され、積層体 (P1、P2) の上端部近傍におけるゲート絶縁膜63の耐圧低下を防ぐことができる。なお、堆積膜でゲート絶縁膜を形成してもよい。

【0085】

次に、酸化シリコン膜52および柱状の積層体 (P1、P2) の上部に導電性膜としてp型不純物をドーピングした第1多結晶シリコン膜64を例えばCVD法で堆積した後、この多結晶シリコン膜を異方的にエッチングすることによって、柱状の積層体 (P1、P2) および窒化シリコン膜62の側壁を囲むように第1多結晶シリコン膜を残す。このように、ゲート電極 (66) の一部を構成する第1

多結晶シリコン層 64 を自己整合的に形成することにより、メモリセルサイズを縮小できる。この多結晶シリコン膜 64 のエッチングの際には、下層の酸化シリコン膜 52 も続けてエッチングする。

【0086】

次に、図 15 および図 16 に示すように、窒化シリコン膜 49 および第 1 多結晶シリコン層 64 の表面に導電性膜として p 型不純物をドーピングした第 2 多結晶シリコン層 65 を例えば CVD 法で形成する。この多結晶シリコン膜を異方的にエッチングすることによって、第 1 多結晶シリコン層 64 の表面を囲むように第 2 多結晶シリコン層 65 を残す。

【0087】

第 2 多結晶シリコン層 65 は、ゲート引き出し電極 51 (51a、51b) の表面上にも形成され、ゲート引き出し電極 51 と電気的に接続される。この第 2 多結晶シリコン層 65 も自己整合的に形成されるので、メモリセルサイズを縮小できる。

【0088】

ここまでの工程により、柱状の積層体 (P1、P2) および窒化シリコン膜 62 を覆うように第 1 多結晶シリコン層 64 と第 2 多結晶シリコン膜 65 の積層膜からなる縦型 MISFET (SV1、SV2) のゲート電極 66 が形成される。

【0089】

図 17 は、メモリセルアレイ (複数のセル領域) 中の柱状の積層体とゲート電極の関係を示す要部平面図である。図 18 は、ゲート電極 66 形成後の縦型 MISFET の要部断面の模式図であり、左部は、図 16 の X-X' 部に、右部は、図 16 の Y-Y' 部対応する。なお、図 18 ~ 図 27 の断面図において、プラグ 55 より下層の層は、省略されている。また、ゲート絶縁膜 63 等、一部の膜を省略してある。また、ゲート引き出し電極 51 (51a、51b) は、下部半導体層 57 より低い位置に形成されるが、ここでは下部半導体層 57 の隣に表記してある。図 19 は、メモリセルアレイ中の柱状の積層体の側壁を覆うゲート電極 66 の状態を示す要部斜視図である (斜視図においては、ゲート引き出し電極を省略している。図 22 および図 26 についても同じ)。

【0090】

図17に示すように、柱状の積層体(P1、P2)とゲート電極66よりなるパターンは、X方向およびY方向にアレイ状に配置され、そのX方向の間隔(ピッチ)は、例えば1000~1200nm(例えば1040nm程度)、Y方向の間隔(ピッチ)は、60nmである。このように、柱状の積層体とゲート電極の配置には、例えば、150nm以下の狭ピッチの部分(D1)と例えば500nm以上の広ピッチの部分(D2)が存在する。

【0091】

ここで、柱状の積層体を構成する下部半導体層57、中間半導体層58、上部半導体層59および窒化シリコン膜62の膜厚の組み合わせを順に例えば、300nm、300nm、300nm、300nmとすると、柱状の積層体の高さは、約1200nmとなり、狭ピッチ部のアスペクト比は、約20となる。このように、狭ピッチ部のアスペクト比が3以上となると柱状のパターン(P1、66)間を精度良く絶縁膜で埋め込むことが困難となる。さらに、アスペクト比が6以上となると、通常の配線間や素子分離溝の埋め込み技術を用いても、精度良く絶縁膜で埋め込むことが困難となる。一方、広ピッチ部のアスペクト比は、1程度となる。

【0092】

このように、狭ピッチの部分と広ピッチの部分が混在する複数の柱状のパターン(P1、66)間を精度良く絶縁膜で埋め込む工程について以下に説明する。

【0093】

まず、図20~図22に示すように、被覆性の良い第1絶縁膜70aを堆積する。被覆性の良い膜としては、いわゆるTEOS膜が挙げられる。TEOS膜とは、テトラエトキシシラン(tetraethoxysilane: $\text{Si}(\text{OC}_2\text{H}_5)_4$)を原料としたCVD法で形成される膜である。反応性を向上させるため、オゾン(O_3)のような活性な酸化種を他の原料として用いる O_3 -TEOS膜や、プラズマ雰囲気下で反応を行わせるP-TEOS膜がある。

【0094】

P-TEOS膜よりは、 O_3 -TEOS膜の方がより被覆性が良く、第1絶縁

膜 70a として用いて好適である。

【0095】

また、被覆性の良い他の膜としては、例えばモノシランやジシランを原料とし、熱により反応を促進させる熱 CVD 膜も挙げられるが、この場合、700℃以上（好ましくは約 800℃）、約 10 時間の熱処理が必要となる。従って、熱負荷による、素子特性の劣化が避けられない。また、本実施の形態の SRAM のような微細で高集積な装置の製造プロセスにおいては、製造の全工程において基準温度換算で一定時間以下と言った熱負荷基準があり、前記熱 CVD 膜を用いた場合には、この熱負荷の基準を達成することが困難である。

【0096】

これに対し、O₃-TEOS 膜においては、その成膜温度は、700℃以下であり、製造工程における熱負荷を低減しつつ被覆性の良い膜を得ることができる。

【0097】

O₃-TEOS 膜の成膜条件の一例を以下に示す。テトラエトキシシラン (TEOS) および O₃ を原料とし、TEOS 流量、800~2000 mgm (Milig lam per minute)、O₃ 流量、5000~10000 sccm、窒素 (N₂) 流量、8000~20000 sccm、450~600℃程度、準常圧 600 Torr (1 Torr = 1.33322 × 10² Pa) 下で成膜する。また、ウエハを搭載するサセプタと原料ガス供給部であるシャワーヘッド部との距離 (spacing) は、例えば、200~400 mils である。圧力は、20~760 Torr の範囲であれば良い。

【0098】

なお、P-TEOS の場合は、テトラエトキシシランおよび酸素等を原料とし、例えば 300℃、約 5~10 Torr の雰囲気下で成膜する。

【0099】

また、第 1 絶縁膜 (O₃-TEOS 膜) 70a を形成した後、膜を緻密化するため、例えば 700℃で 1 分程度の熱処理を施してもよい。

【0100】

また、図 21 に示すように、第 1 絶縁膜 70 a の膜厚は、狭ピッチ間を完全に埋め込む程度の膜厚であって、広ピッチ間は埋め込むことができない程度の膜厚とする。即ち、第 1 絶縁膜 70 a の成膜後には、広ピッチ間上には凹部 170 が形成される。第 1 絶縁膜 70 a の膜厚は、例えばピッチ間の寸法ばらつきや膜厚のマージンを考慮して、狭ピッチ間 ($D1 = 60 \text{ nm}$) 以上の膜厚とする。また、柱状のパターン (P1、66) 間の上部は、その底部に比べ広がっている (例えば、図 16 参照) 従って、かかる部分におけるボイドの発生を低減し、また、柱状のパターン上にある程度の膜厚を確保するためには、下部半導体層 57、中間半導体層 58 および上部半導体層 59 よりなるパターンの狭ピッチ間 (この場合約 200 nm) 以上の膜厚とすることが好ましい。この第 1 絶縁膜の膜厚は、例えば広ピッチ間上に位置する膜を基準とする。なお、第 1 絶縁膜を数度に分割して成膜し、トータルとして狭ピッチ部を埋め込む程度の膜厚としてもよい。

【0101】

また一例として図 22 に示すように、Y 方向に並ぶ柱状の積層体 (P1、P2) とゲート電極 66 は、第 1 絶縁膜 70 a で覆われ、あたかも、幅約 700 nm 、厚さ約 1200 nm の Y 方向のパターン 172 が約 $800 \sim 1000 \text{ nm}$ の間隔を開けて配置された構造となる (図 20)。なお、ゲート電極 66 の膜厚は、例えば $40 \sim 90 \text{ nm}$ 程度、第 1 絶縁膜の膜厚は、広ピッチ間上において $200 \sim 300 \text{ nm}$ 程度である。

【0102】

次に、図 23 に示すように、第 1 絶縁膜 70 a 上に第 2 絶縁膜 70 b を堆積する。この第 2 絶縁膜 70 b については、その下層が、その幅およびスペースが比較的大きなラインパターンとなっているため、平坦性が重要となる。なお、コンフォーマルに成長する膜の場合、下層 (第 1 絶縁膜 70 a) の凹凸がそのまま第 2 絶縁膜の凹凸として反映され、却って、その後の CMP 工程等に支障をきたす。

【0103】

この第 2 絶縁膜 70 b としては、高密度 (high-density) プラズマ CVD 法で成膜した絶縁膜 (以下「HDP 膜」という) を用いるとよい。

【0104】

高密度プラズマCVD法とは、原料ガスを高密度 ($10^{11}/\text{cm}^2$ 以上) のプラズマ雰囲気下で反応させ、成膜を行う方法である。この際、基板にRFバイアスを印加する。この高密度プラズマCVD法においては、プラズマにより反応が促進される一方、プラズマが堆積膜に衝突することによるスパッタエッチングが起こる。このエッチング現象は、膜の突起部において優先的に起こる。従って、第2絶縁膜70bとしてHDP膜を用いた場合、その表面は下層の凹凸に影響を受け難く、平坦性を確保できる (図23)。

【0105】

ここでは、HDP酸化シリコン膜を用いる。その成膜条件は、例えばシラン (SiH_4) および酸素 (O_2) を原料とし、 SiH_4 流量、70~90 sccm、 O_2 流量、130~170 sccm、アルゴン (Ar) 流量、350~450 sccm、280~400℃程度で成膜する。また、LFは、3000~4000 W、HFは、2000~3000 Wである。この際、高密度の $\text{Ar}/\text{O}_2/\text{SiH}_4$ プラズマが生じる。

【0106】

このHDP膜の形成においても熱負荷を軽減するために700℃以下で成膜する。

【0107】

また、第2絶縁膜70bの膜厚は、広ピッチ間上の凹部170をある程度埋め込めるよう、少なくとも第1絶縁膜70aの広ピッチ間に位置する最下部と、柱状の積層体 (P1、P2) 上に位置する最上部との高低差 (H) の70%以上の膜厚を堆積する。ここでは、第2絶縁膜の膜厚を600~1400 nm程度とした。この第2絶縁膜を数度に分割して成膜してもよい。

【0108】

この高低差 (H) は、例えば、図23においては、ほぼ柱状の積層体 (下部半導体層57、中間半導体層58、上部半導体層59および窒化シリコン膜62) の高さとなるが、下部半導体層57下にプラグ55が形成される場合には、このプラグ55の高さも含まれる (図16参照)。

【0109】

なお、高密度プラズマCVDには、電子サイクロトロン共鳴プラズマ（ECR）CVD、容量結合プラズマ（IPC）CVDやヘリコンプラズマCVD等がある。即ち、HDP膜の成膜には、プラズマソースとして、例えばマイクロ波、ヘリコン波、ICP、ECRなどを有している半導体装置の製造装置を用いる。

【0110】

また、第1絶縁膜（O₃-TEOS膜）70a中には、リンやホウ素をドーブし、BP SG膜もしくはPSG膜としてもよい。また、第2絶縁膜（HDP膜）70b中にフッ素やリン等をドーブしてもよい。このように、絶縁膜中に不純物をドーブすることによりゲッターリング効果が得られる。

【0111】

このように本実施の形態によれば、狭ピッチ間を完全に埋め込める程度の膜厚で被覆性の良い第1絶縁膜を堆積した後、その上部に第2絶縁膜を堆積したので、柱状のパターン間を精度良く埋め込むことができる。

【0112】

これに対し、図40に示すように、O₃-TEOS膜70a単層で柱状のパターン（P1、66）の広ピッチ間をある程度埋め込むため、膜厚1 μ mほど成膜した場合、被覆性が良すぎて、柱状のパターン上に約1 μ mの膜が堆積し、その表面の凹凸が極端に大きくなる。その結果、研磨によりその上部の平坦性を確保することが困難となる。

【0113】

また、一般的にO₃-TEOS膜70aを1 μ m以上堆積する場合、チャンバ（反応室）内に異物が発生しやすい。このように異物の量が多くなると、成膜装置のメンテナンスの頻度が高くなり、製品の生産性が低くなる。従って、例えば500 nm程度のO₃-TEOS膜を2度に渡って積層する等の対策が必要であり、製造工程が煩雑化するという問題が残る。

【0114】

また、O₃-TEOS膜は、成膜速度が遅く、例えば、1 μ m程度の膜の堆積には、12時間程度の時間が必要となる。このような点からも、O₃-TEOS

膜単層での柱状のパターン間の埋め込みは困難である。

【0115】

一方、一般的なHDP膜では、スペースが100nm以下でアスペクト比が3以上となるとボイドが生じる可能性が大きい。従って、HDP膜単層での柱状のパターン間の埋め込みは困難である。

【0116】

また、成膜条件を調整（例えば、バイアスパワーを大きくする等）し、埋め込み特性を向上させることができたとしても、スパッタ成分が増加することにより、露出しているゲート電極66や窒化シリコン膜62のエッチング量が増加するといった新たな問題が生じる。

【0117】

また、露出しているゲート電極のチャージアップダメージも大きくなり、素子特性を劣化させる。

【0118】

これに対し、本実施の形態によれば、第2絶縁膜70bとしてHDP膜を用いているが、この膜の形成時においては、ゲート電極66等は第1絶縁膜70aで覆われており、スパッタ成分によるゲート電極等のエッチングやチャージアップの問題を解消することができる。

【0119】

さらに、図40に示すO₃-TEOS膜70aの表面の凹部を、P-TEOS膜270dで埋めることも考えられる（図41）。しかしながら、この場合も、その表面の凹凸が大きく、また、メモリ領域（メモリセルアレイ）MAと周辺回路領域PAとの標高差、メモリセルアレイ中に形成される複数のメモリマットMM間やメモリブロックMB間との標高差が大きくなる恐れがある。これは、素子等が疎に形成される周辺回路領域や、パターンがほとんど形成されないメモリマット間やメモリブロック間上には、O₃-TEOS膜とP-TEOS膜が形成されるだけであるのに対し、メモリセルアレイにおいては、柱状のパターン上にこれらの膜が堆積するため、約1μm程度の標高差が生じる。

【0120】

これに対して、本実施の形態によれば、HDP膜（70b）を用いたので、柱状のパターン上の膜成分が優先的にエッチングされるため、突出部には薄くしか膜が形成されない。従って、メモリセルアレイと周辺回路領域との標高差、メモリセルアレイ中に形成される複数のメモリマット間との標高差を低減することができる。図39に、HDP膜（70b）形成後のメモリセルアレイ（左部）と周辺回路領域（右部）の要部断面図を示す。なお、図39中の左部においては下部半導体層57より下の層を省略してある。また、右部においても、QnおよびQpと第1絶縁膜70aとの間の配線やプラグ等を省略してある。QnおよびQpは、メモリを駆動させるための種々の回路を構成するMISFETである。また、周辺回路領域PA、メモリ領域MA、メモリマットMM、メモリブロックMBの関係を、図36に示す。

【0121】

図37は、メモリマットMMの境界部における柱状の積層体（P）のレイアウトの一例を示す基板の要部平面図であり、図38は、メモリブロックMBの境界部における柱状の積層体（P）のレイアウトの一例を示す基板の要部平面図である。

【0122】

図37においては、MM境界部における柱状の積層体（P）間のX方向の距離が約 $1.62\mu\text{m}$ 、Y方向の距離が約 $1.5\mu\text{m}$ である。

【0123】

図38においては、MB境界部における柱状の積層体（P）間のX方向の距離が約 $20\mu\text{m}$ である。

【0124】

なお、これらの図中の略正方形のパターンは、例えば、後述するプラグ80に対応する。なお、MM間やMB間にも、例えば、ウエル給電用の略正方形のパターン（プラグ）が配置される。

【0125】

もちろん、MM間やMB間の距離は、上記距離に限られるものではなく、レイアウトによっては、より狭いもしくはより広い間隔で配置されることもある。

【0126】

ここで、重要なことは、HDP膜(70b)を用いることにより、メモリセルアレイ上の膜の平坦性を確保できるとともに、周辺回路領域やメモリマツ間上などにも同程度の厚さの膜を堆積でき、これらの間の標高差を是正することにある。

【0127】

また、O₃-TEOS膜を薄く形成し、その上部にP-TEOS膜を形成してもよいが、O₃-TEOS膜を例えば図21に示す程度の膜厚とした場合、凹部170をP-TEOS膜で精度良く埋め込むことができず、膜中にスリットボイドが生じてしまう。このボイドの発生を避けるためには、O₃-TEOS膜を600nm以上の膜厚とする必要があり、O₃-TEOS膜単層で埋め込む場合と同様の問題が生じる。

【0128】

これに対し、本実施の形態によれば、前述したように柱状のパターン間を精度良く埋め込むことができる。例えば、狭スペース部のアスペクトが3以上の場合でも精度良く絶縁膜を埋め込むことができる。

【0129】

次いで、図24に示すように、第2絶縁膜70b上に第3絶縁膜70cとしてP-TEOS膜を堆積した後、その表面をCMP法により研磨し、平坦化する。

【0130】

次に、図25および図26に示すように、第1～第3絶縁膜70a～70cをエッチングしてその表面を後退させ、柱状の積層体(P1、P2)の一定の高さ以上の部分を露出させる。一定の高さとは、少なくとも上部半導体層59の側壁のゲート電極66が露出する高さである。言い換えれば、一定の高さは、上部半導体層59の底部から上部の間に位置する。

【0131】

図26の172aは、本エッチング後における第1絶縁膜70aの凸部であり、この凸部から、柱状の積層体(P1、P2)の一部やその上部および側壁のゲート電極66が突出する。

【0132】

なお、第3絶縁膜70cの堆積およびCMPを省略し、第2絶縁膜および第1絶縁膜の表面をエッチングしてその表面を後退させてもよい。但し、この絶縁膜の表面を後退させる工程は、後述するゲート電極66のエッチバック量をコントロールする重要な工程である。従って、絶縁膜の表面の凹凸が大きい状態でエッチングを行うと、エッチング後の表面の高さのばらつきが生じやすい。よって、第3絶縁膜70cを堆積し、その表面をCMP等で平坦化した後、エッチングを行った方が、エッチング量の制御がし易い。即ち、ゲート電極のエッチバックの制御性を向上させることができる。また、第3絶縁膜70cの堆積およびCMPを省略し、第2絶縁膜70bの表面をCMP等で平坦化した後、その表面をエッチングしてもよい。

【0133】

また、第3絶縁膜70cを堆積する場合には、第2絶縁膜70bの堆積後に、多少の凹凸が生じていても良い。第3絶縁膜70cによって前記凹凸が緩和され、CMPによってその表面の平坦化が可能となるからである。第3絶縁膜を用いる場合には、本エッチング後に第3絶縁膜が残存することもある。

【0134】

但し、その高低差があまりにも大きいと、CMPに支障をきたすため、第2絶縁膜の膜厚は、前述した通り、第1絶縁膜70aの高低差(H)の70%以上の膜厚を堆積することが望ましい。

【0135】

また、第3絶縁膜70cを形成しない場合には、広ピッチ間上の凹部170を完全に埋め込める程度の膜厚とする。また、第2絶縁膜70bを上記高低差(H)の約1.5倍以上の膜厚とすれば、CMPによる平坦性の制御が容易になる。

【0136】

次に、柱状の積層体(P1、P2)の側壁に露出したゲート電極66を、その上端部が上部半導体層59の側壁部に位置するようエッチングする。

【0137】

上記ゲート電極66のエッチングは、縦型MISFETのソースとなる上部半

導体層 59 をその上部から引き出すために行われる。従って、前記引き出し部（プラグ 85）とゲート電極 66 のショートを防止するため、露出したゲート電極 66 の上端部を上部半導体層 59 の側壁部に位置するよう形成することが望ましい。なお、ゲート電極 66 と上部半導体層 59 とのオフセットを防ぐため、ゲート電極 66 の上端部が上部半導体層 59 より下方に位置しないようエッチング量を制御する。

【0138】

ここまでの工程により、メモリアレイの各メモリセル領域に、下部半導体層（ドレイン）57、中間半導体層（基板）58 および上部半導体層（ソース）からなる積層体（P1、P2）と、積層体（P1、P2）の側壁に形成されたゲート絶縁膜 63 およびゲート電極 66 とを有する p チャンネル型の縦型 MISFET（SV1、SV2）が形成される。

【0139】

次に、図 27 に示すように、第 2 絶縁膜 70b 等の上部に絶縁膜として窒化シリコン膜を例えば CVD 法で堆積し、異方性エッチングすることにより、露出した縦型 MISFET（SV1、SV2）のゲート電極 66 および上部半導体層 59 とその上部の窒化シリコン膜 62 の側壁にサイドウォールスペーサ 71 を形成する。

【0140】

次に、第 2 絶縁膜 70b 等の上部に第 4 絶縁膜として酸化シリコン膜 73 を例えば CVD 法で堆積した後、酸化シリコン膜 73 の表面を CMP 法で平坦化する。この第 4 絶縁膜 73 には、例えば P-TEOS 膜を用いる。第 4 絶縁膜 73 については、柱状パターンの狭スペース間のアスペクト比が第 1 および第 2 絶縁膜によって緩和されているため被覆性は重要ではない。従って、熱負荷が小さく、成膜速度が大きい等の観点から、例えば、P-TEOS 膜等を用いることが望ましい。

【0141】

図 28 は、酸化シリコン膜 73 形成後の基板の要部断面図であり、本図においては下層の MISFET（DR1、DR2、TR1）も記載してある。70 は、

第1絶縁膜70aと第2絶縁膜70bの積層膜である。

【0142】

次に、図29および図30に示すように、フォトリジスト膜をマスクにして第1、第2および第4絶縁膜(70a、70b、73)をドライエッチングすることにより、その底部がゲート引き出し電極51aから中間導電層42に延在するスルーホール74を、その底部がゲート引き出し電極51bから中間導電層43に延在するスルーホール75を形成する。

【0143】

また、このとき、中間導電層41、44、45のそれぞれの表面が露出するスルーホール76、77、78を形成する。

【0144】

次に、スルーホール74～78の内部を含む酸化シリコン膜73上にバリア膜としてTi膜およびTiN膜を例えばスパッタリング法で堆積し、続いて導電性膜としてW膜を例えばCVD法で堆積した後、スルーホールの外部のW膜等をCMP法によって除去し、スルーホール74～78の内部にプラグ80を形成する。

【0145】

このうちスルーホール74、75中のプラグ80を介して縦型MISFETのゲート引き出し電極51a、51bと中間導電層42、43(蓄積ノードA、B)をそれぞれ接続することができる。即ち、2つの縦型MISFETのゲート電極と蓄積ノードA、Bを交差接続することができる。

【0146】

ここまでの工程により、2個の転送MISFET(TR1、TR2)、2個の駆動MISFET(DR1、DR2)および2個の縦型MISFET(SV1、SV2)によって構成されるメモリセルが略完成する。

【0147】

次に、酸化シリコン膜73の上部に絶縁膜としてCVD法で酸化シリコン膜81を堆積した後、フォトリジスト膜をマスクにしたドライエッチングで積層体(P1、P2)の上部の酸化シリコン膜81、73および窒化シリコン膜62等を

除去することにより、縦型MISFET (SV1、SV2) の上部半導体層 (ソース) 59 を露出させ、スルーホール 82 を形成する。

【0148】

上記ドライエッチングを行う際は、まず積層体 (P1、P2) の上部の酸化シリコン膜 81、73 が除去された段階でエッチングを一旦停止する。このとき、フォトリソの合わせずれが生じて、上部半導体層 59 の側壁には窒化シリコン膜からなるサイドウォールスペーサ 71 が形成されているので、ゲート電極 66 の露出が防止される。次に窒化シリコン膜 62 をエッチングする。

【0149】

次いで、メモリアレイに形成されたプラグ 80 の上部を覆っている酸化シリコン膜 81 をエッチングしてスルーホール 84 を形成する。

【0150】

次に、スルーホール 82、84 の内部を含む酸化シリコン膜 81 上にバリア膜としてTiN膜を例えばスパッタリング法を用いて堆積し、続いて、導電性膜としてW膜を堆積した後、スルーホール 82、84 の外部のW膜等をCMP法によって除去することによりスルーホール 82、84 の内部にプラグ 85 を形成する。

【0151】

次に、図31および図32に示すように、酸化シリコン膜 81 の上部に絶縁膜として炭化シリコン膜 86 と酸化シリコン膜 87 とを例えばCVD法で順次堆積した後、フォトリソ膜をマスクにしてスルーホール 84 の上部の酸化シリコン膜 87 と炭化シリコン膜 86 とをドライエッチングすることにより、配線溝 88 を形成する。

【0152】

次に、配線溝 88 の内部を含む酸化シリコン膜 87 上にバリア膜として窒化タンタル (Ta₂N₅) 膜またはタンタル (Ta) 膜を例えばスパッタリング法で堆積し、さらに導電性膜として銅 (Cu) 膜を例えばスパッタリング法またはメッキ法で堆積した後、配線溝 88 の外部の不要なCu膜等をCMP法で除去する。これらの配線は、電源電圧線 90 (V_{dd}) および相補性データ線 (BLT、BL

B) となり、また、メモリセルの端部に位置する引き出し配線 92 となる。

【0153】

次に、図 33 および図 34 に示すように、酸化シリコン膜 87 の上部に 3 層の絶縁膜 93 を堆積した後、この絶縁膜 93 に配線溝 94 を形成する。続いてこの配線溝 94 の内部を含む絶縁膜 93 上に前述した方法で Cu 膜および TaN 膜を堆積した後、配線溝 94 の外部の不要な Cu 膜等を CMP 法で除去する。絶縁膜 93 は、例えば CVD 法で堆積した酸化シリコン膜と炭化シリコン膜と酸化シリコン膜との積層膜で構成する。また、絶縁膜 93 に配線溝 94 を形成する際には、メモリセルの端部に形成された 4 つの引き出し配線 92 のそれぞれの上部の配線溝 94 に開口 94a を形成し、この内部にも Cu 膜等を形成する。これらの配線は、基準電圧線 91 (Vss) およびワード線 (WL) となる。

【0154】

なお、上記 SRAM メモリセルにおいては、縦型 MISFET を構成する柱状の積層体のパターンを楕円形状としたが、略矩形状としてもよい。

【0155】

また、上記 SRAM メモリセルにおける下層の MISFET (DR1、DR2、TR1、TR2) の平面レイアウトは、種々変更可能である。

【0156】

また、以下に示すように、SRAM メモリセルを 4 つの MISFET で構成してもよい。

【0157】

この場合、比較的下層に駆動 MISFET (DR1、DR2) を形成し、そのドレイン領域の上部に縦型 MISFET (SV1、SV2) を形成する。図 42 に、この場合の SRAM のメモリセルの等価回路図を示す。図 43 は、本メモリセルの要部平面図、図 44 は、要部断面図であり、左図は、図 43 の A-A' 部、右図は、図 43 の B-B' 部に対応する。

【0158】

図示する駆動 MISFET (DR1、DR2) は、図 33 および図 34 に示す駆動 MISFET と同様に形成することができる。

【0159】

このMISFETのソース、ドレイン領域上には、コンタクトホール（324、340）中に形成されたプラグ（327、341）が形成され、このうち、プラグ327上には、基準電圧線334が配置される。また、プラグ341上には、接続用導電層346を介して縦型MISFET（SV1、SV2）が配置されている。

【0160】

この縦型MISFETは、下部半導体層347、中間半導体層348および上部半導体層349、その周りに形成されたゲート絶縁膜353およびゲート電極354で構成される。

【0161】

図45に示すように、メモリセルアレイを構成する縦型MISFET（SV1、SV2）のX方向のスペース3D1とY方向のスペース3D2が異なり、Y方向のスペースの方が大きくなっている。これらのスペース間は、図44に示すように絶縁膜355によって埋め込まれる。

【0162】

この絶縁膜を2層の絶縁膜で構成し、例えば、図46に示すように、第1絶縁膜355a堆積後、第2絶縁膜355bを堆積し、2段階の工程で埋め込む。これらの絶縁膜は、第1および第2の絶縁膜70a、70bと同様に形成することができる。もちろん、第2絶縁膜355b上にさらに第3絶縁膜を堆積してもよい。

【0163】

このように、2段階の工程で絶縁膜を埋め込むことにより、絶縁膜の埋め込み特性が向上し、耐圧向上やショート防止等、縦型MISFETの特性や歩留まりを向上させることができる。

【0164】

なお、本メモリセルにおいては、第1および第2絶縁膜等を形成した後、エッチングを行い、ワード線WLの形成およびゲート電極354のエッチバックを行う。その後、プラグ（365）や配線（BLT、BLB）の形成を行う。

【0165】

また、320は、窒化シリコン膜、321および322は、酸化シリコン膜、328は、窒化シリコン膜、329は、酸化シリコン膜である。331は、配線溝、338は、窒化シリコン膜、342は、酸化シリコン膜である。356は、溝、357は、多結晶シリコン膜、358は、サイドウォールスペーサ、360は、C₆₀シリサイド層である。また、361は、酸化シリコン膜、365は、プラグである。366は、炭化シリコン膜、367は、酸化シリコン膜であり、368は、配線溝である。なお、図44に示すSRAMメモリセルの詳細な製造工程については、特願2002-199308号に記載されている。

【0166】

また、図42のメモリセル(MC)は、pチャネル型MISFETで構成される縦型MISFET(SV₁、SV₂)のOFF時におけるリーク電流(I_{OFF}(p))を利用して電荷を保持する構造になっている。リーク電流(I_{OFF}(p))は、OFF状態にある駆動MISFET(DR₁またはDR₂)のリーク電流(I_{OFF}(n))よりも大きい。

【0167】

以上、本発明者によってなされた発明を前記実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0168】

特に、上記実施の形態においては、SRAMメモリセルを例に説明したが、縦型MISFETを有する半導体集積回路装置に広く適用できる。

【0169】

但し、SRAMメモリセルは、複数のMISFETで構成されるため、縦型MISFETのレイアウトが他のMISFETのレイアウトにより制限を受ける。その結果、縦型MISFETの縦横のピッチに差が生じることが多い。

【0170】

このように、縦型MISFETの縦横のピッチに差が生じる場合には、本発明の埋め込み方法を用いると効果的である。

【0171】

本願によって開示される実施の形態のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0172】

第1方向に第1距離離間し、第2方向に前記第1距離より大きい第2距離離間して配置される複数の縦型MISFETの柱状の積層体間のうち、第1距離部を第1絶縁膜で、第2距離部を第1および第2絶縁膜で埋め込んだので、絶縁膜の埋め込み特性を向上させることができる。また、半導体集積回路装置の特性の向上を図ることができる。また、半導体集積回路装置の微細化を図ることができる。

【0173】**【発明の効果】**

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0174】

半導体集積回路装置を構成する縦型MISFET間の埋め込み特性を向上させることができる。

【0175】

他の効果は、半導体集積回路装置の特性の向上を図ることができる。

【0176】

他の効果は、半導体集積回路装置の微細化を図ることができる。

【図面の簡単な説明】**【図1】**

本発明の一実施の形態であるSRAMのメモリセルの等価回路図である。

【図2】

本発明の一実施の形態である半導体集積回路装置（SRAM）の製造方法を示す基板の要部断面図である。

【図3】

本発明の一実施の形態である半導体集積回路装置（SRAM）の製造方法を示

す基板の要部平面図である。

【図 4】

本発明の一実施の形態である半導体集積回路装置（SRAM）の製造方法を示す基板の要部断面図である。

【図 5】

本発明の一実施の形態である半導体集積回路装置（SRAM）の製造方法を示す基板の要部平面図である。

【図 6】

本発明の一実施の形態である半導体集積回路装置（SRAM）の製造方法を示す基板の要部平面図である。

【図 7】

本発明の一実施の形態である半導体集積回路装置（SRAM）の製造方法を示す基板の要部断面図である。

【図 8】

本発明の一実施の形態である半導体集積回路装置（SRAM）の製造方法を示す基板の要部平面図である。

【図 9】

本発明の一実施の形態である半導体集積回路装置（SRAM）の製造方法を示す基板の要部断面図である。

【図 10】

本発明の一実施の形態である半導体集積回路装置（SRAM）の製造方法を示す基板の要部断面図である。

【図 11】

本発明の一実施の形態である半導体集積回路装置（SRAM）の製造方法を示す基板の要部平面図である。

【図 12】

本発明の一実施の形態である半導体集積回路装置（SRAM）の製造工程で用いられる転写パターン（レチクルパターン）を示す平面図である。

【図 13】

転写パターンと加工形状（積層体の平面パターン）の関係を示す図表である。

【図 14】

本発明の一実施の形態である半導体集積回路装置（SRAM）の製造方法を示す基板の要部断面図である。

【図 15】

本発明の一実施の形態である半導体集積回路装置（SRAM）の製造方法を示す基板の要部平面図である。

【図 16】

本発明の一実施の形態である半導体集積回路装置（SRAM）の製造方法を示す基板の要部断面図である。

【図 17】

本発明の一実施の形態である半導体集積回路装置（SRAM）の製造方法を示す基板の要部平面図である。

【図 18】

本発明の一実施の形態である半導体集積回路装置（SRAM）の製造方法を示す基板の要部断面図である。

【図 19】

本発明の一実施の形態である半導体集積回路装置（SRAM）の製造方法を示す基板の要部斜視図である。

【図 20】

本発明の一実施の形態である半導体集積回路装置（SRAM）の製造方法を示す基板の要部平面図である。

【図 21】

本発明の一実施の形態である半導体集積回路装置（SRAM）の製造方法を示す基板の要部断面図である。

【図 22】

本発明の一実施の形態である半導体集積回路装置（SRAM）の製造方法を示す基板の要部斜視図である。

【図 23】

本発明の一実施の形態である半導体集積回路装置（S R A M）の製造方法を示す基板の要部断面図である。

【図 2 4】

本発明の一実施の形態である半導体集積回路装置（S R A M）の製造方法を示す基板の要部断面図である。

【図 2 5】

本発明の一実施の形態である半導体集積回路装置（S R A M）の製造方法を示す基板の要部断面図である。

【図 2 6】

本発明の一実施の形態である半導体集積回路装置（S R A M）の製造方法を示す基板の要部斜視図である。

【図 2 7】

本発明の一実施の形態である半導体集積回路装置（S R A M）の製造方法を示す基板の要部断面図である。

【図 2 8】

本発明の一実施の形態である半導体集積回路装置（S R A M）の製造方法を示す基板の要部断面図である。

【図 2 9】

本発明の一実施の形態である半導体集積回路装置（S R A M）の製造方法を示す基板の要部平面図である。

【図 3 0】

本発明の一実施の形態である半導体集積回路装置（S R A M）の製造方法を示す基板の要部断面図である。

【図 3 1】

本発明の一実施の形態である半導体集積回路装置（S R A M）の製造方法を示す基板の要部平面図である。

【図 3 2】

本発明の一実施の形態である半導体集積回路装置（S R A M）の製造方法を示す基板の要部断面図である。

【図 3 3】

本発明の一実施の形態である半導体集積回路装置（SRAM）の製造方法を示す基板の要部平面図である。

【図 3 4】

本発明の一実施の形態である半導体集積回路装置（SRAM）の製造方法を示す基板の要部断面図である。

【図 3 5】

本発明の一実施の形態である半導体集積回路装置（SRAM）の基板の要部平面図である。

【図 3 6】

本発明の一実施の形態である半導体集積回路装置（SRAM）を示す基板の要部レイアウト図である。

【図 3 7】

本発明の一実施の形態である半導体集積回路装置（SRAM）を示す基板の要部平面図である。

【図 3 8】

本発明の一実施の形態である半導体集積回路装置（SRAM）の製造方法を示す基板の要部平面図である。

【図 3 9】

本発明の一実施の形態である半導体集積回路装置（SRAM）の製造方法を示す基板の要部断面図である。

【図 4 0】

本発明の一実施の形態の効果の説明するための半導体集積回路装置（SRAM）の製造方法を示す基板の要部断面図である。

【図 4 1】

本発明の一実施の形態の効果の説明するための半導体集積回路装置（SRAM）の製造方法を示す基板の要部断面図である。

【図 4 2】

本発明の一実施の形態である他のSRAMのメモリセルの等価回路図である。

【図 4 3】

本発明の一実施の形態である他の半導体集積回路装置（SRAM）を示す基板の要部平面図である。

【図 4 4】

本発明の一実施の形態である他の半導体集積回路装置（SRAM）を示す基板の要部断面図である。

【図 4 5】

本発明の一実施の形態である他の半導体集積回路装置（SRAM）を示す基板の要部平面図である。

【図 4 6】

本発明の一実施の形態である他の半導体集積回路装置（SRAM）の製造方法を示す基板の要部断面図である。

【符号の説明】

- 1 半導体基板
- 2 素子分離溝
- 3 酸化シリコン膜
- 4 p 型ウエル
- 6 ゲート絶縁膜
- 7 A、7 B ゲート電極
- 9 n-型半導体領域
- 13 サイドウォールスペーサ
- 14 n+型半導体領域（ソース、ドレイン）
- 18 Co シリサイド層
- 19 窒化シリコン膜
- 20 酸化シリコン膜
- 21～25 コンタクトホール
- 28 プラグ
- 29 窒化シリコン膜
- 30 酸化シリコン膜

31～35 溝
41～45 中間導電層
48 バリア層
49 窒化シリコン膜
5、51a、51b ゲート引き出し電極
52 酸化シリコン膜
53 スルーホール
54 サイドウォールスペーサ
55 プラグ
57 下部半導体層
57p p型シリコン膜
58 中間半導体層
58i シリコン膜
59 上部半導体層
59p p型シリコン膜
61 酸化シリコン膜
62 窒化シリコン膜
63 ゲート絶縁膜
64 第1多結晶シリコン層
65 第2多結晶シリコン層
66 ゲート電極
70a 第1絶縁膜 (O₃-TEOS膜)
70b 第2絶縁膜 (HDP膜)
70c 第3絶縁膜 (P-TEOS膜)
71 サイドウォールスペーサ
73 第4絶縁膜 (酸化シリコン膜)
74～78 スルーホール
80 プラグ
81 酸化シリコン膜

82、84 スルーホール
85 プラグ
86 炭化シリコン膜
87 酸化シリコン膜
88 配線溝
90 (V_{dd}) 電源電圧線
91 (V_{ss}) 基準電圧線
92 引き出し配線
93 絶縁膜
94 配線溝
94a 開口
170 凹部
172 パターン
172a 凸部
270d P-TEOS膜
320 窒化シリコン膜
321、322 酸化シリコン膜
324 コンタクトホール
327 プラグ
328 窒化シリコン膜
329 酸化シリコン膜
331 配線溝
334 基準電圧線 (V_{ss})
338 窒化シリコン膜
340 コンタクトホール
341 プラグ
342 酸化シリコン膜
346 接続用導電層
347 下部半導体層

348 中間半導体層
349 上部半導体層
353 ゲート絶縁膜
354 ゲート電極
355 絶縁膜
355a 第1絶縁膜
355b 第2絶縁膜
356 溝
357 多結晶シリコン膜
358 サイドウォールスペーサ
360 C o シリサイド層
361 酸化シリコン膜
365 プラグ
366 炭化シリコン膜
367 酸化シリコン膜
368 配線溝
BLT、BLB 相補性データ線
DR1、DR2 駆動MISFET
INV1 第1のインバータ
INV2 第2のインバータ
L 活性領域
MA メモリ領域
MB メモリブロック
MC メモリセル
MM メモリマット
P、P1、P2 柱状の積層体
PA 周辺回路領域
Qn nチャネル型MISFET
Qp pチャネル型MISFET

S V 1、S V 2 縦型M I S F E T

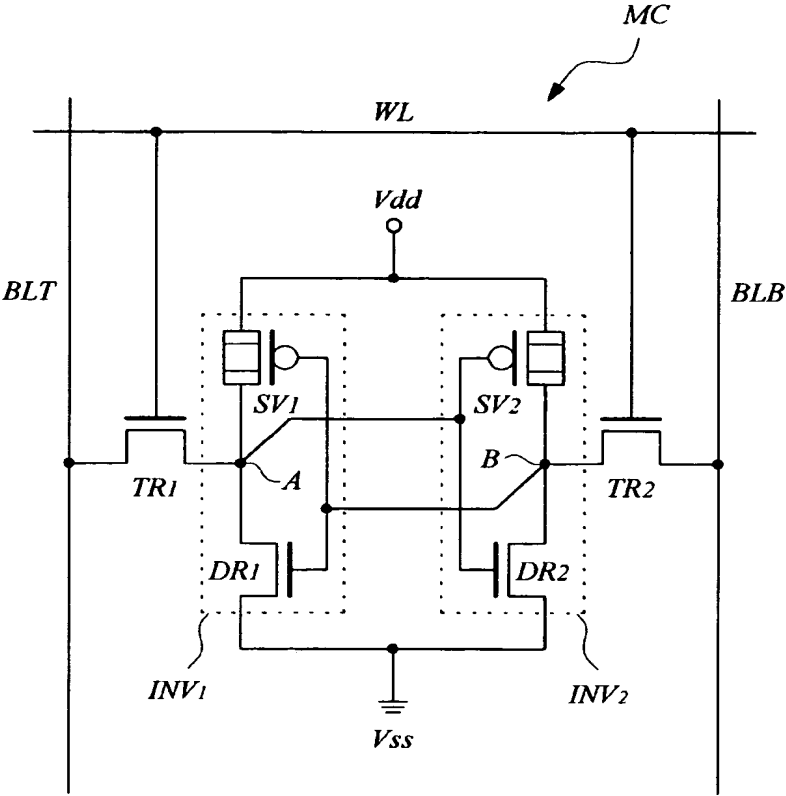
T R 1、T R 2 転送M I S F E T

W L ワード線

【書類名】 図面

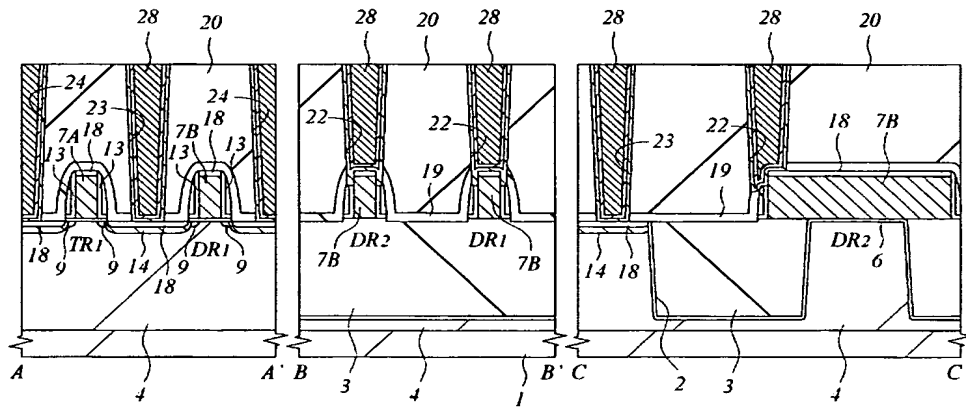
【図 1】

図 1

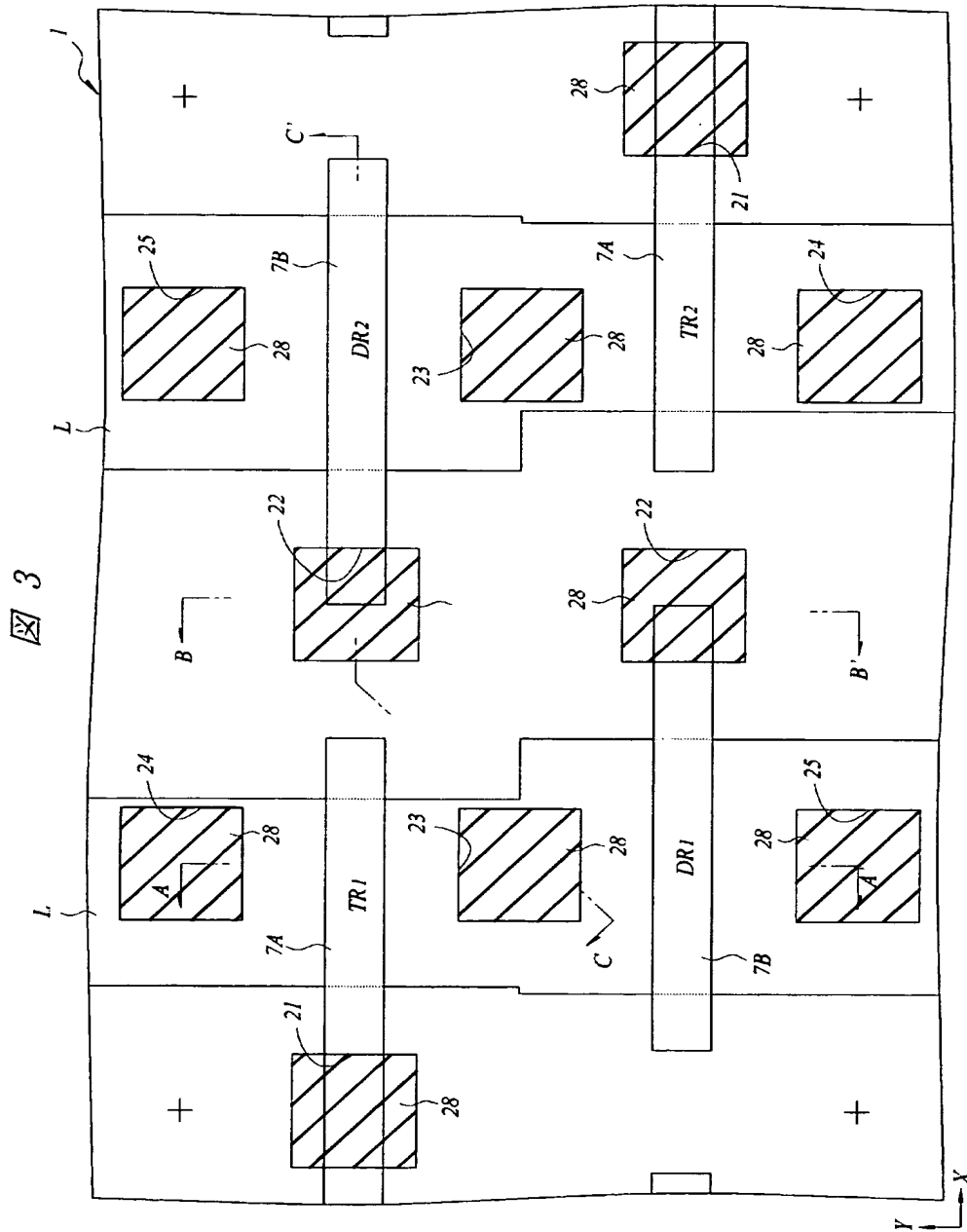


【図 2】

図 2

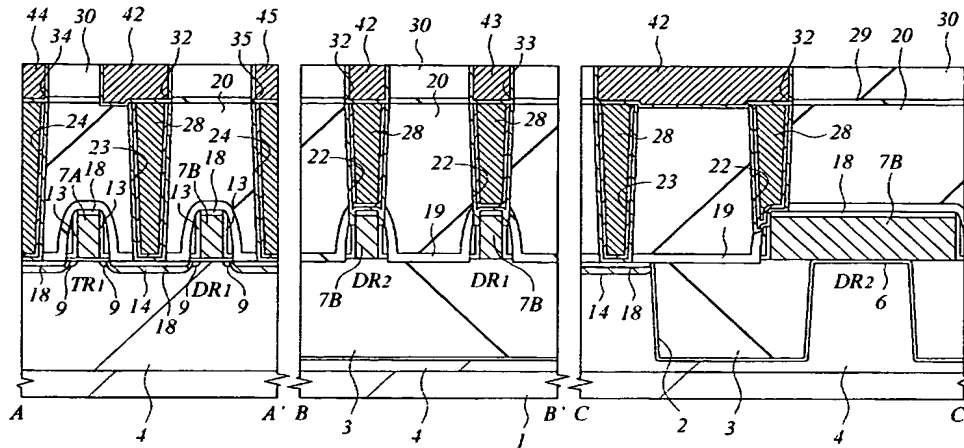


【図 3】

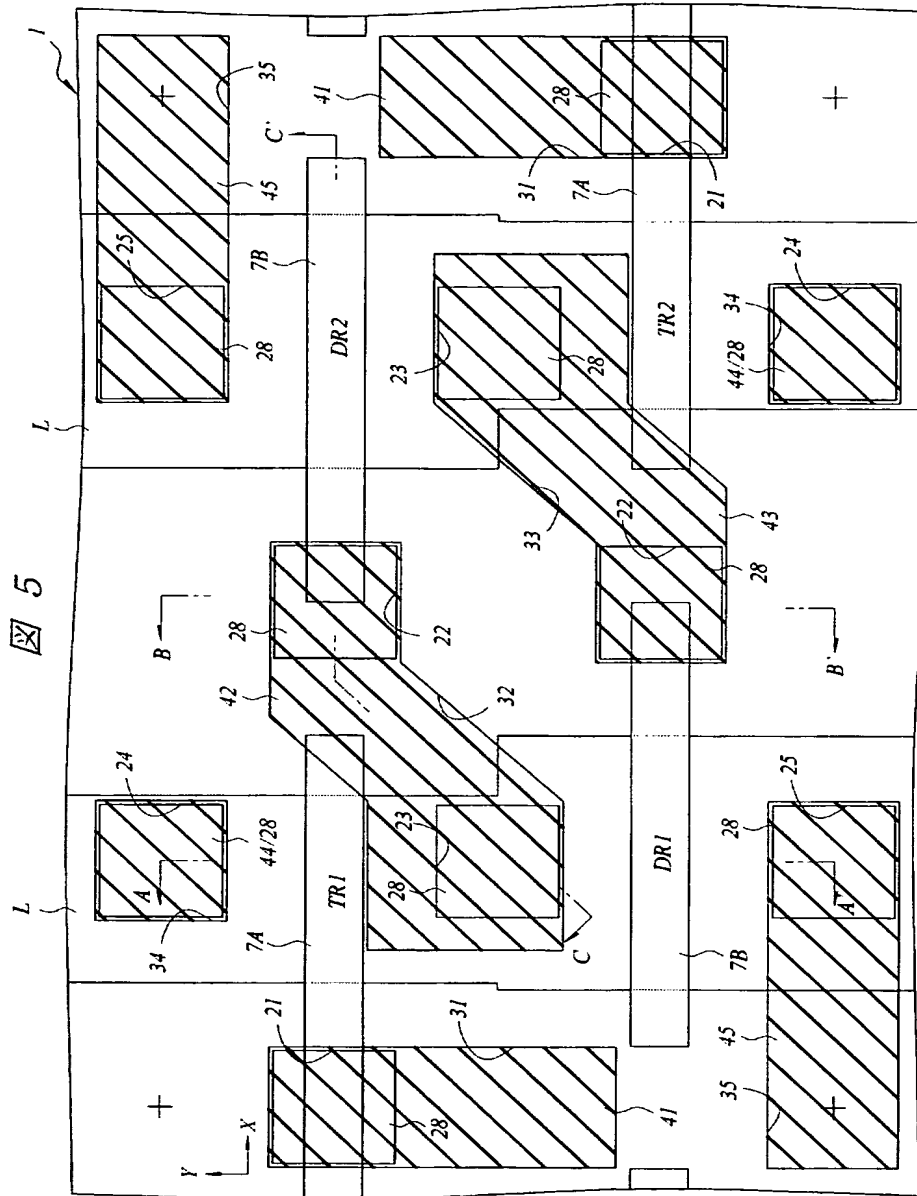


【図 4】

图 4

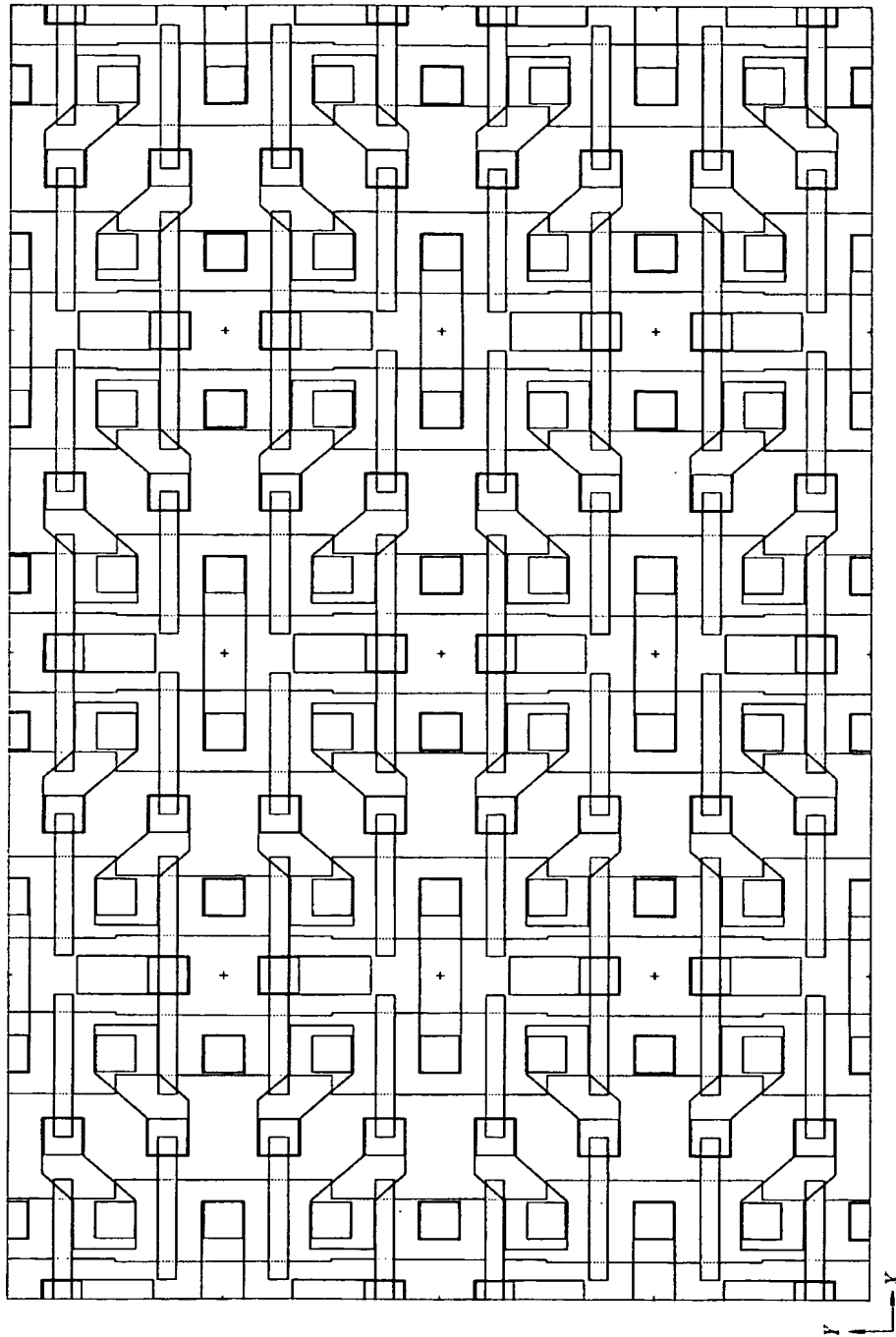


【図5】



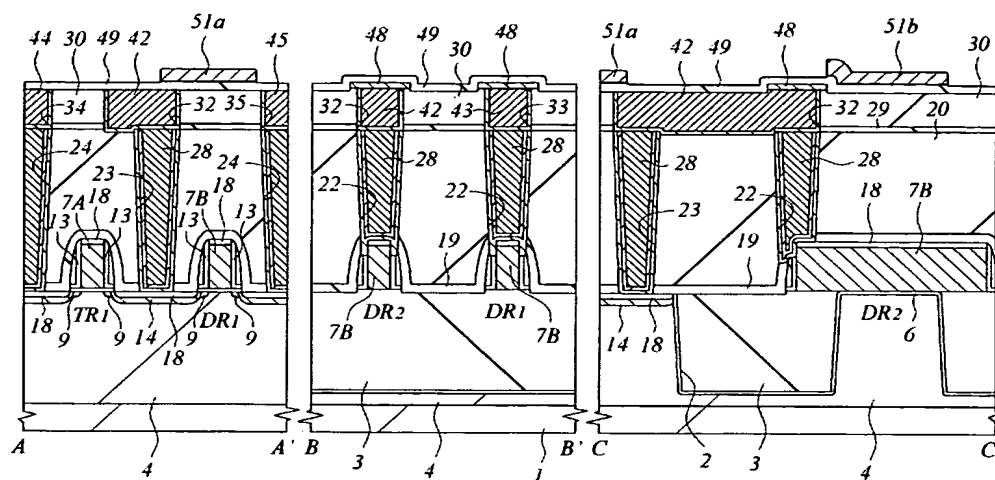
【図 6】

図 6

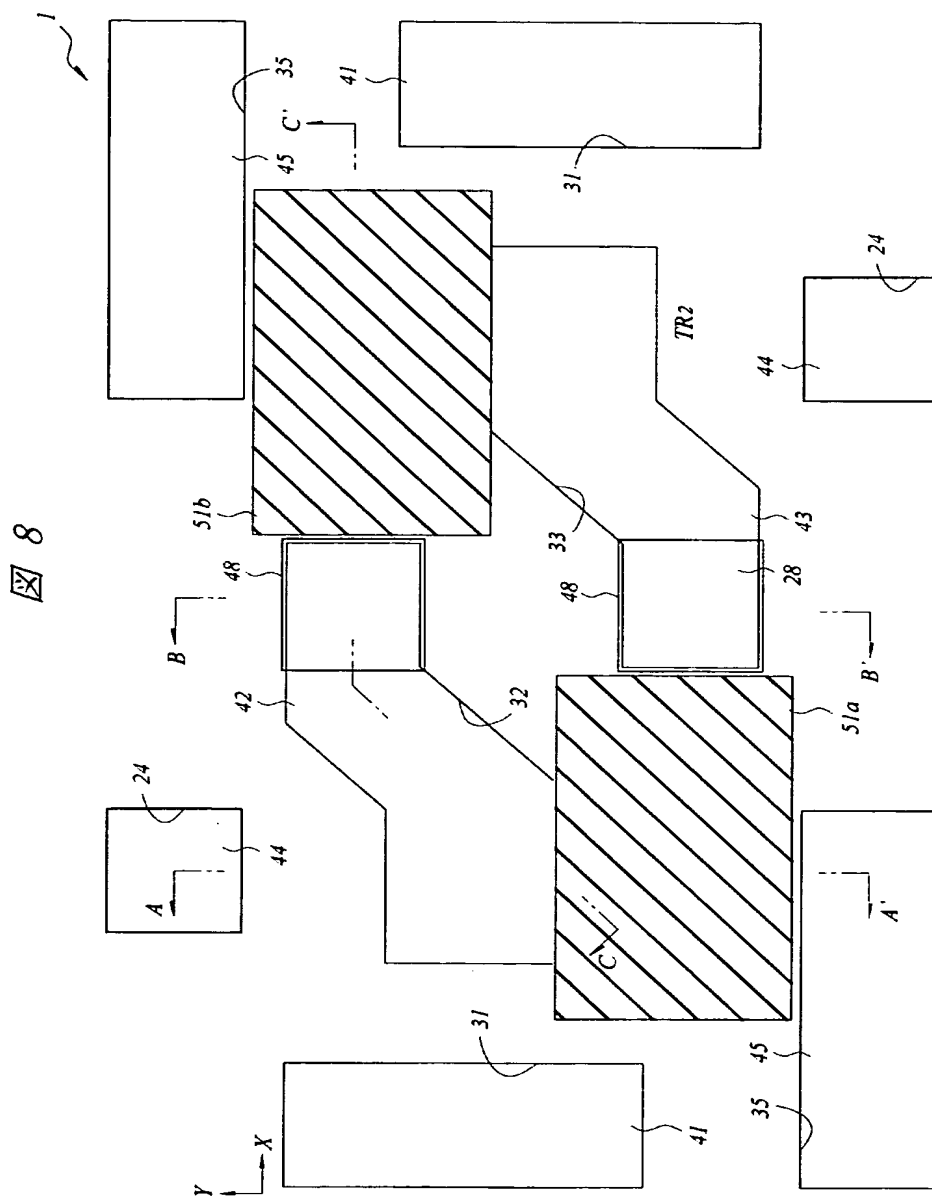


【図 7】

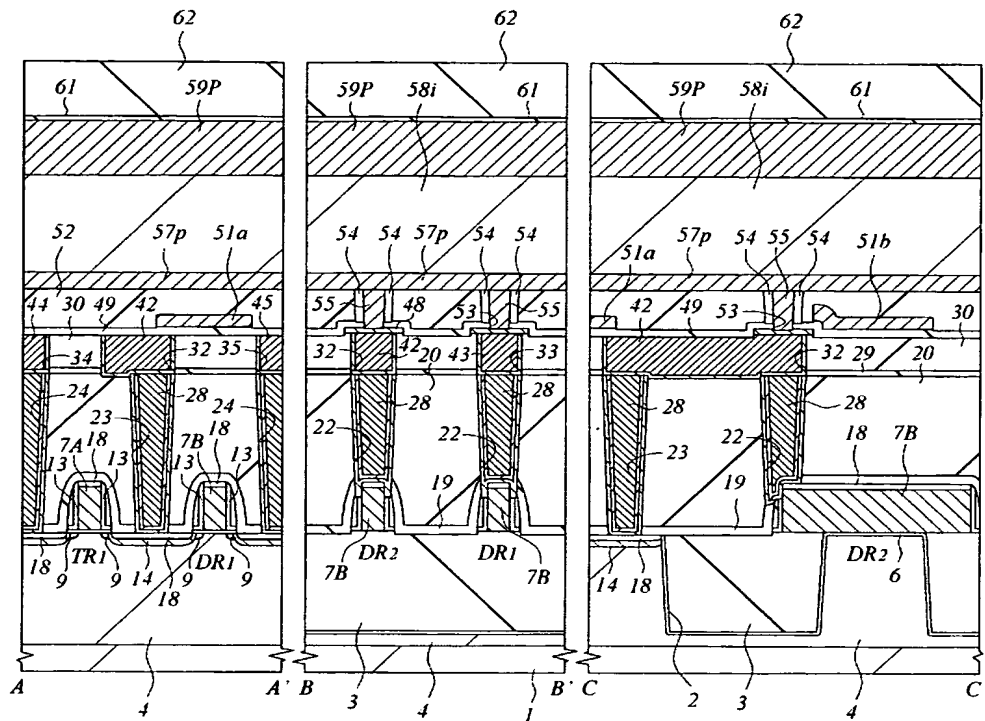
図 7



【図 8】

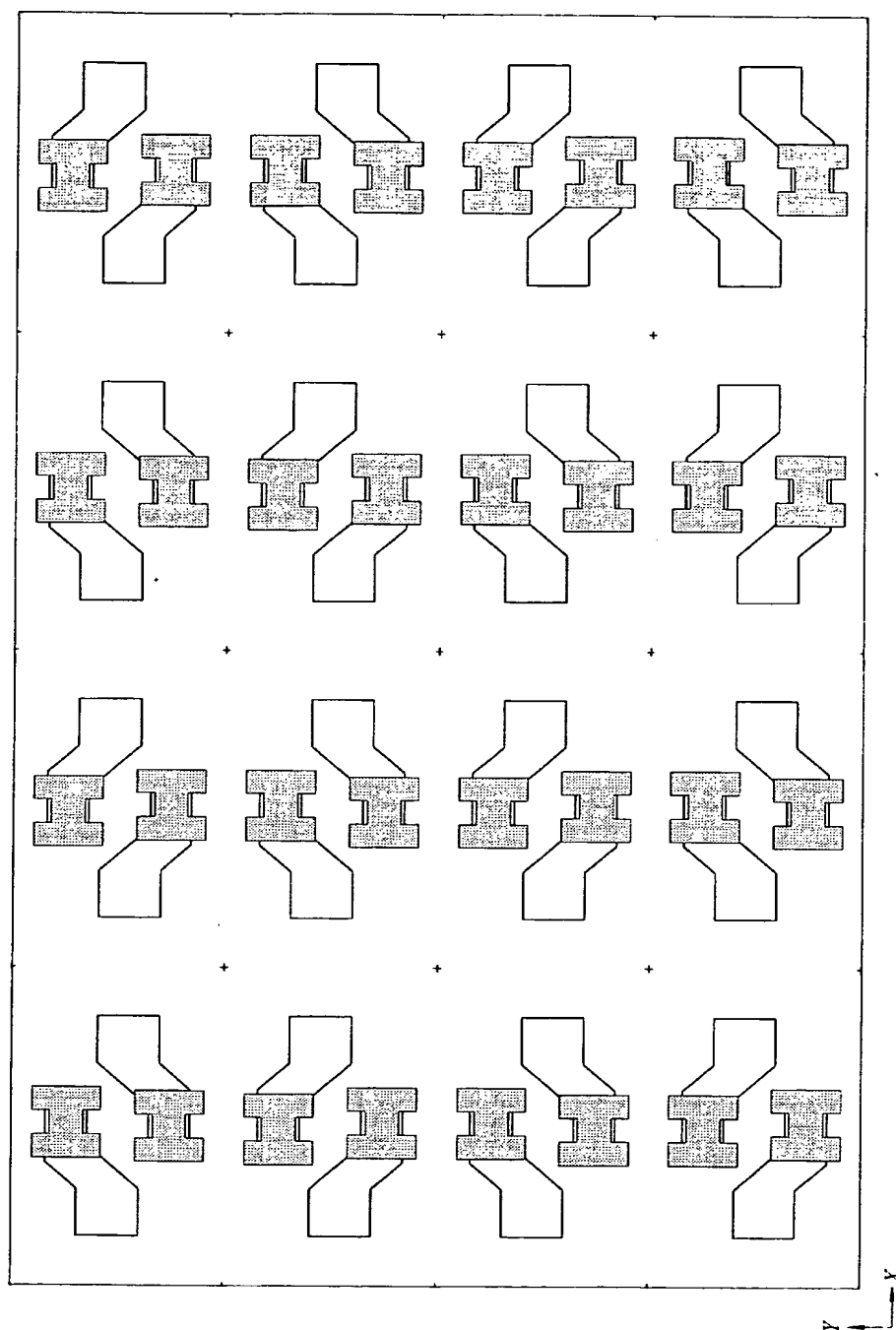


【図 9】



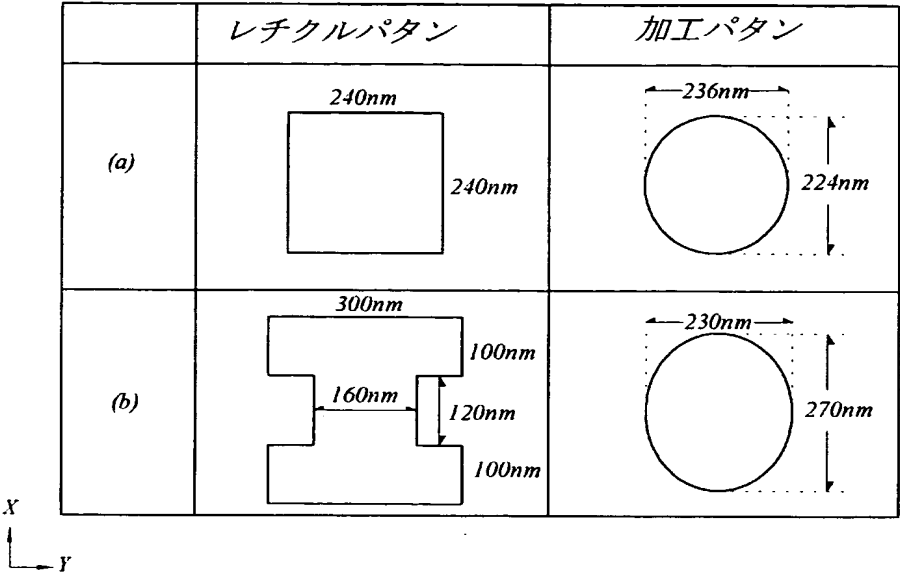
【図 12】

図 12



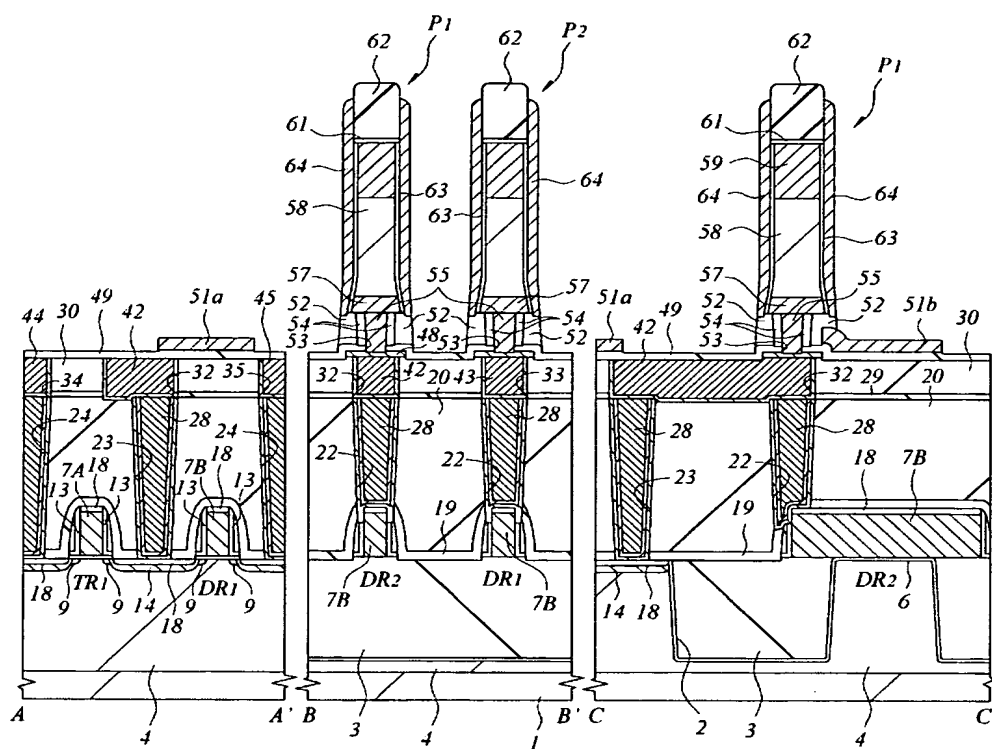
【図 13】

図 13



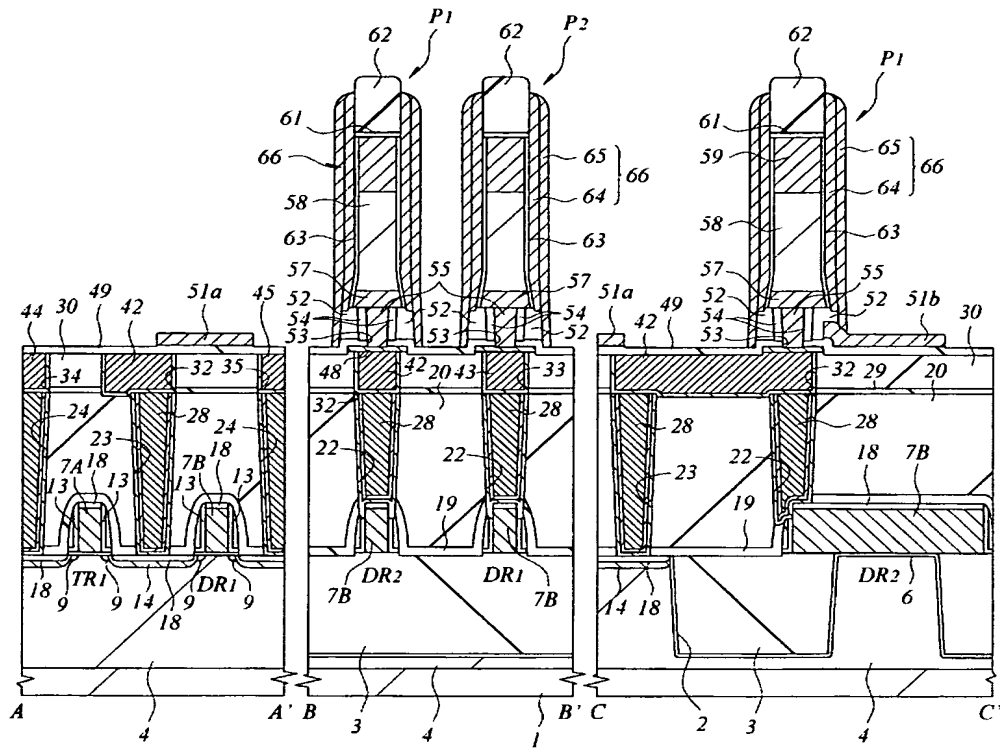
【図 14】

図 14



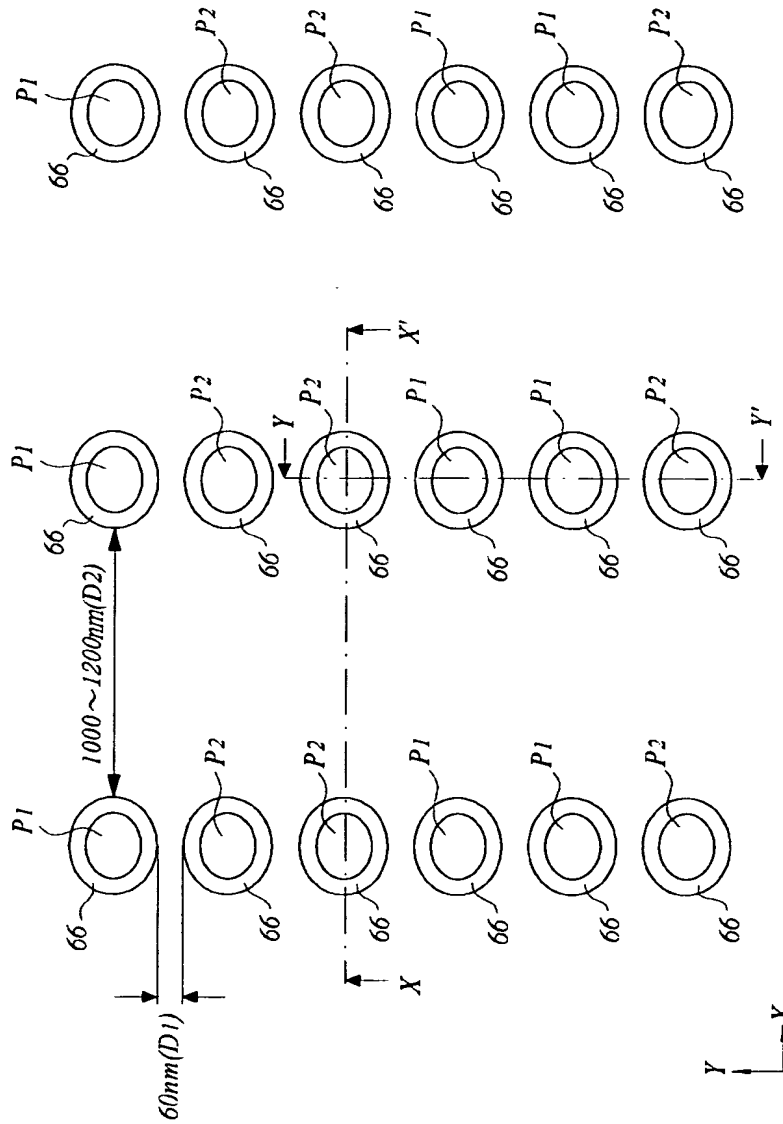
【図 16】

✕ 16



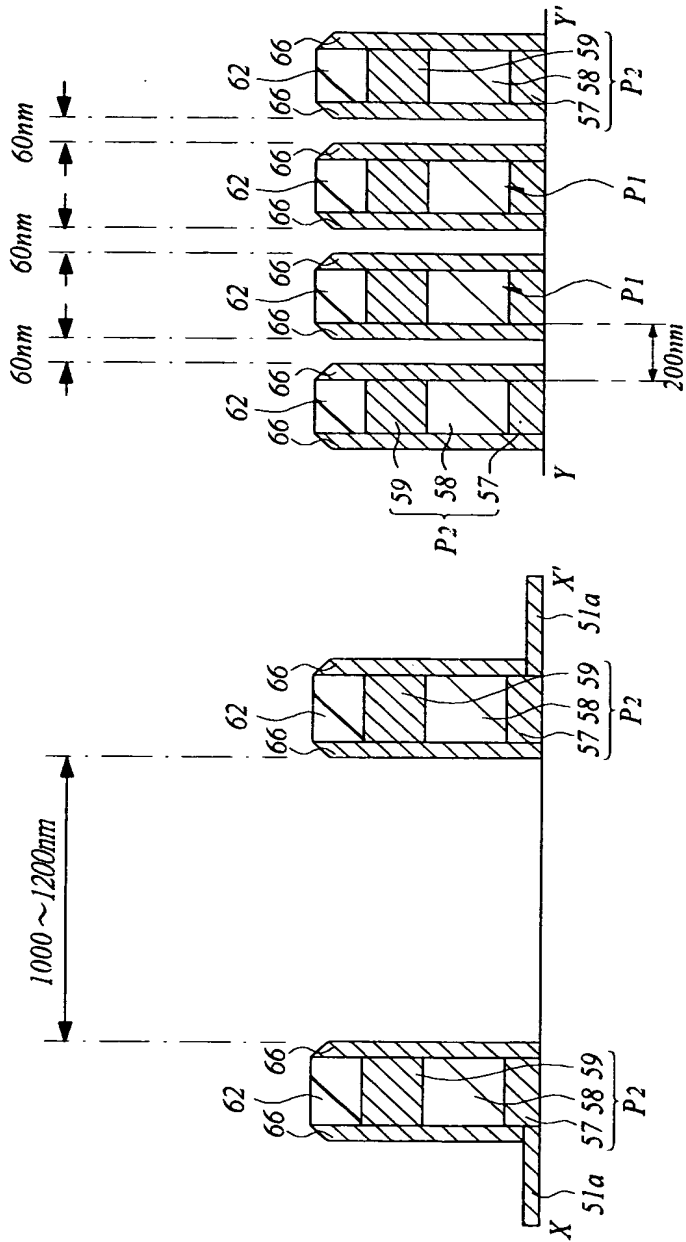
【図 17】

図 17

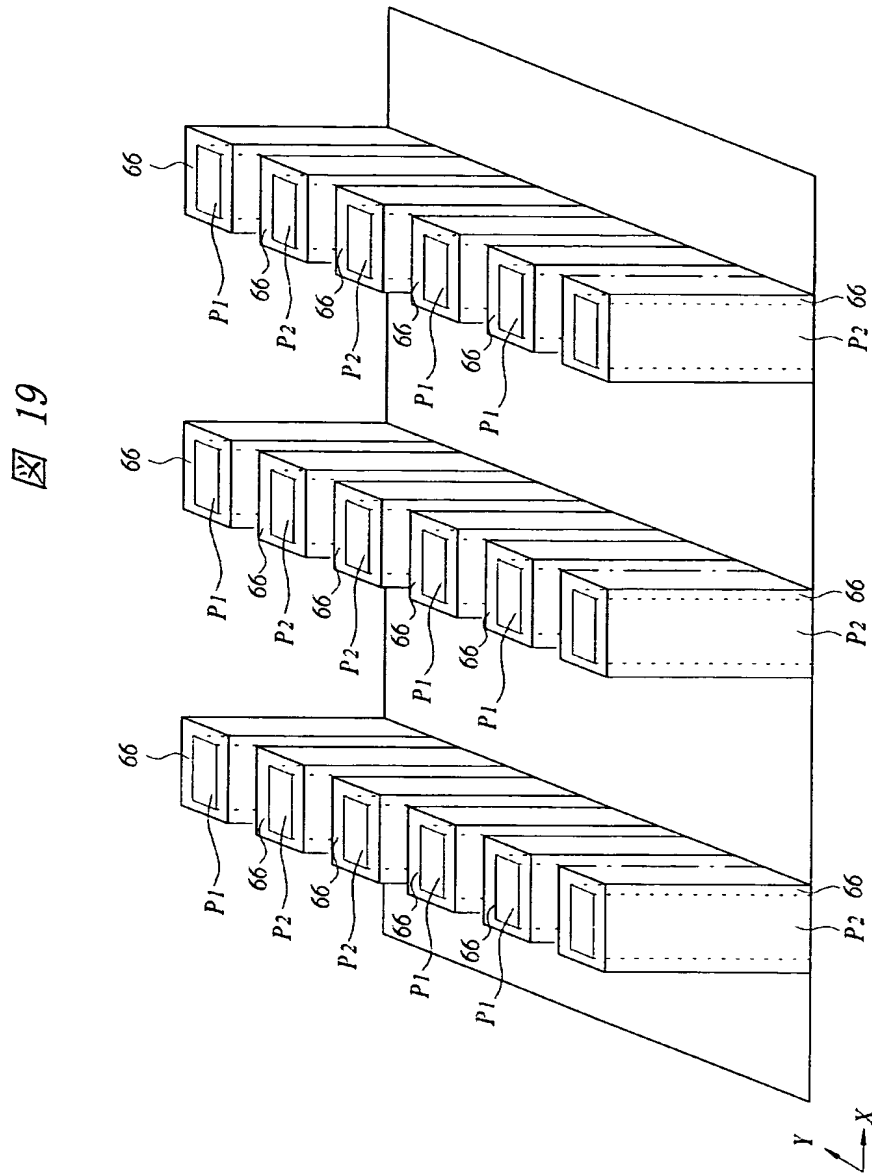


【図 18】

図 18

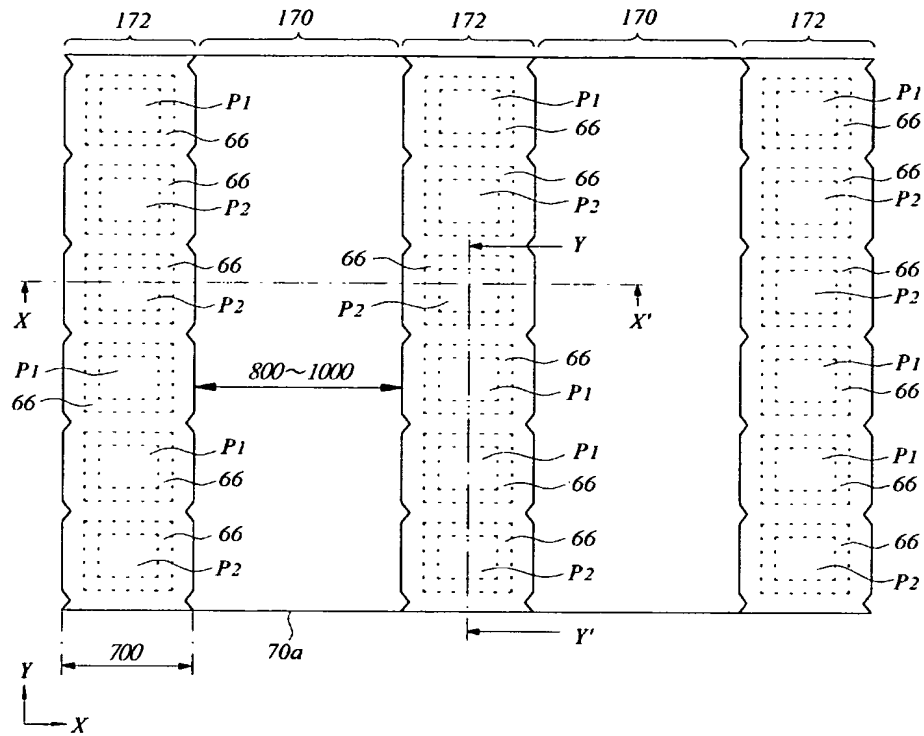


【図 19】

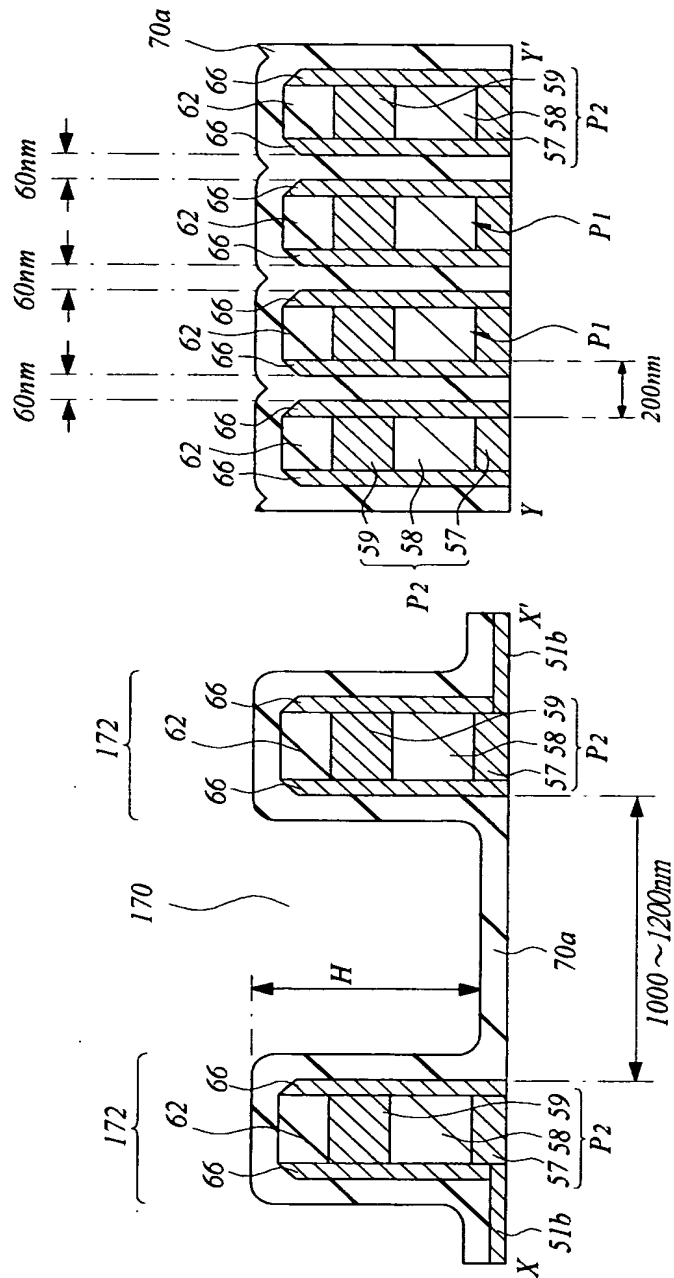


【図 20】

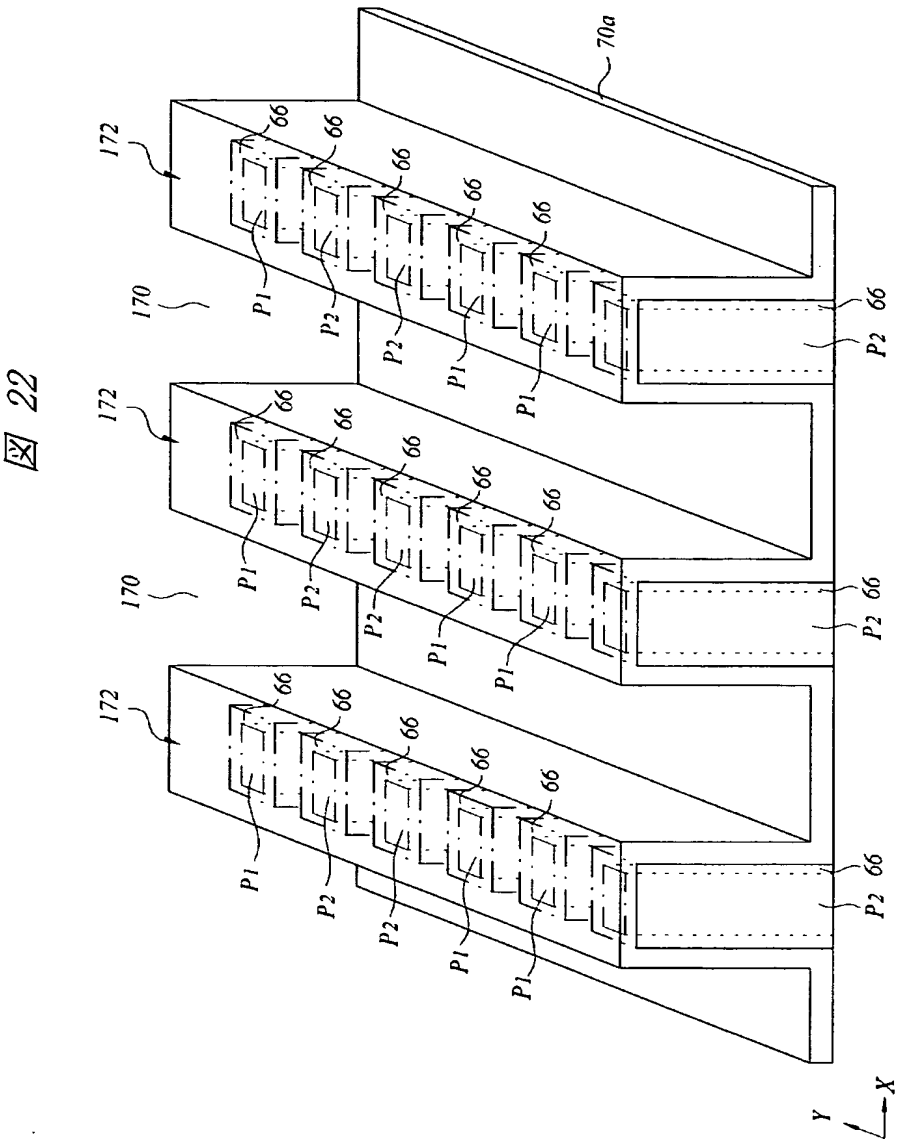
図 20



【図 2 1】

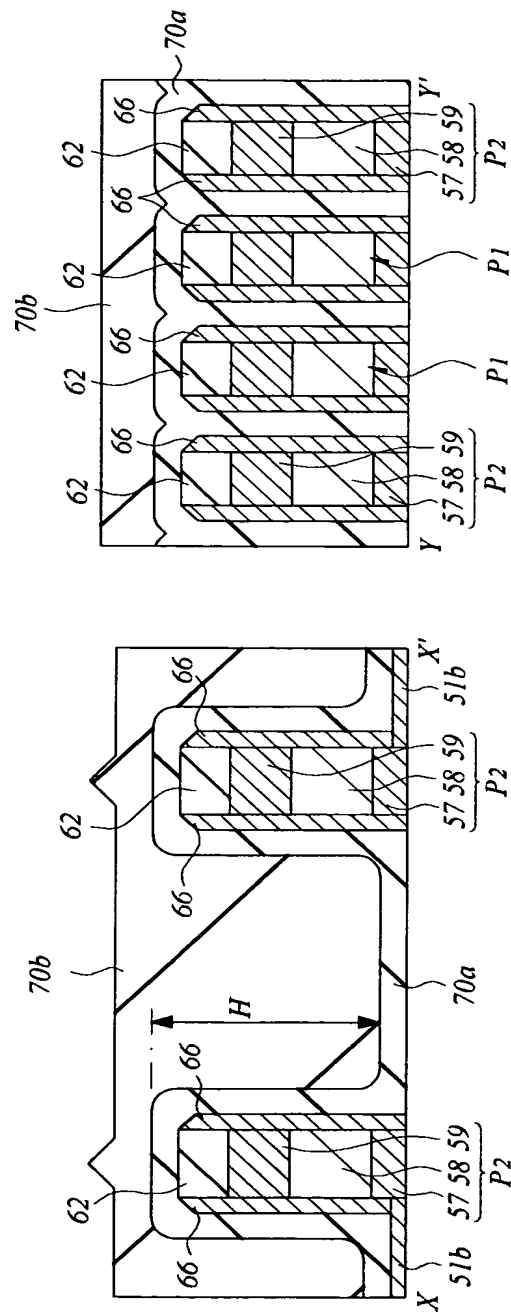


【図 22】



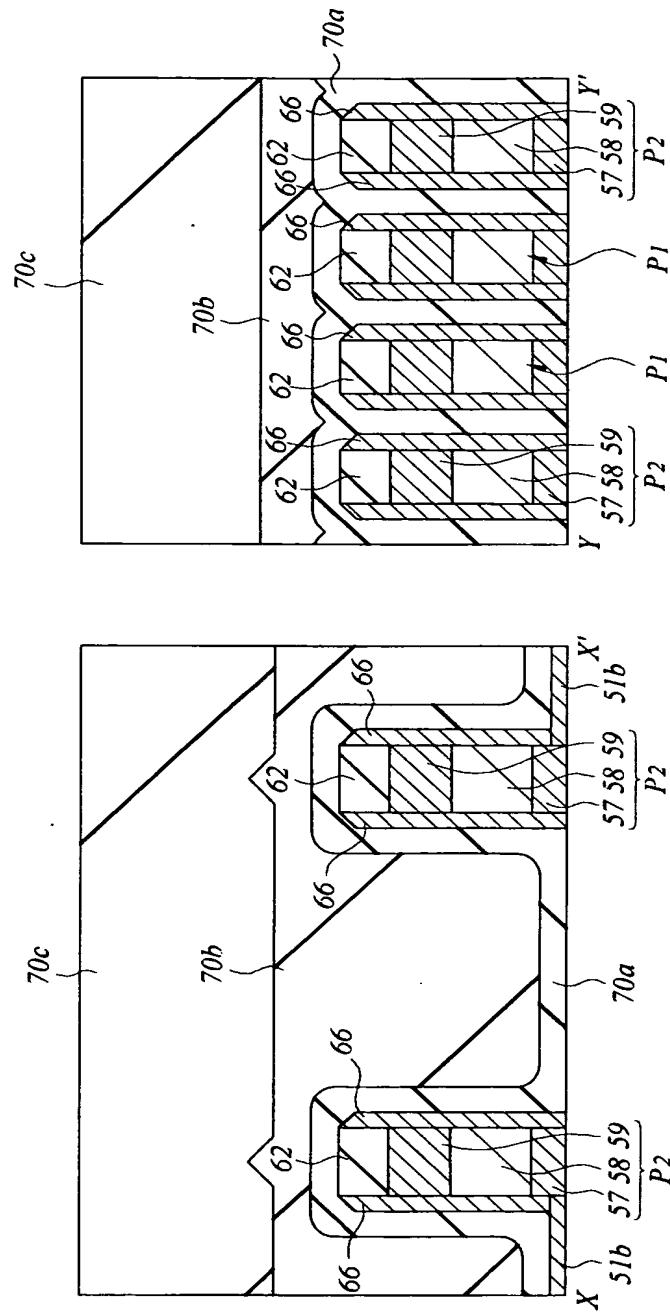
【図 23】

図 23

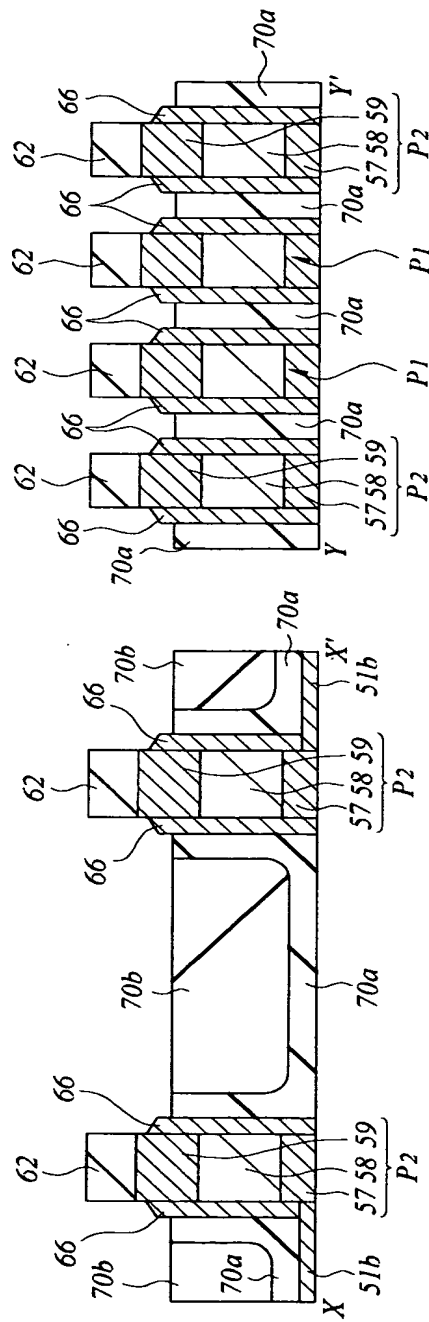


【図 24】

図 24

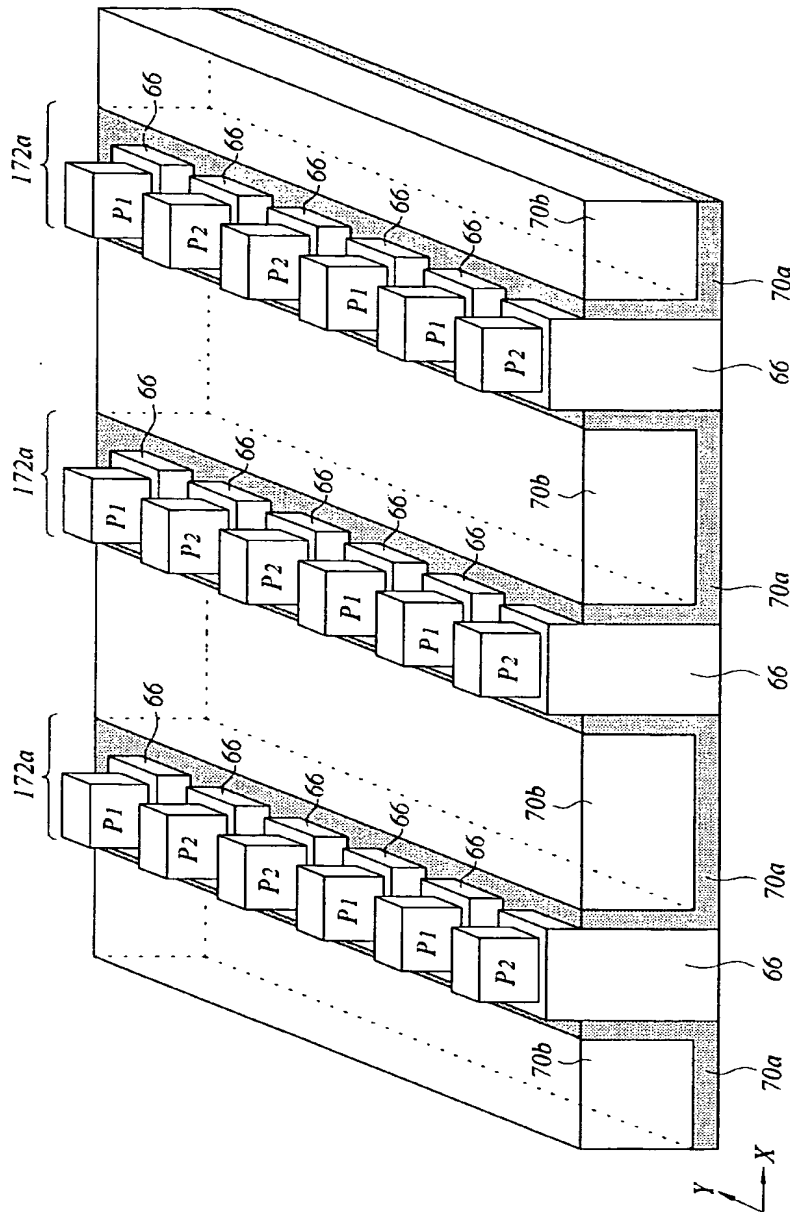


【図 25】



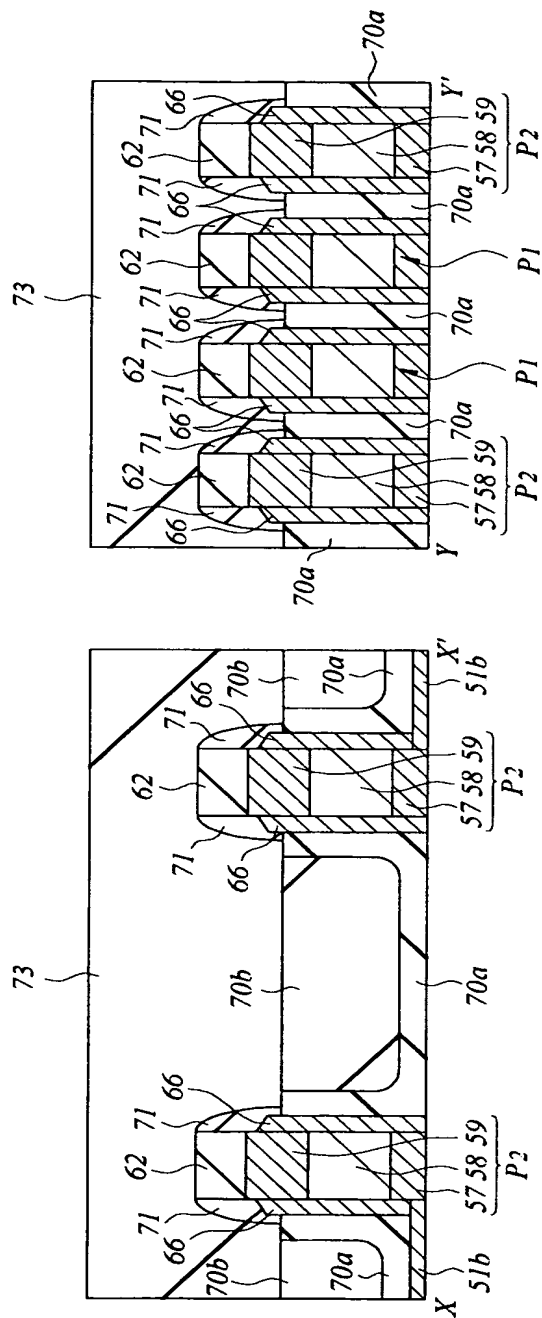
【図 26】

図 26



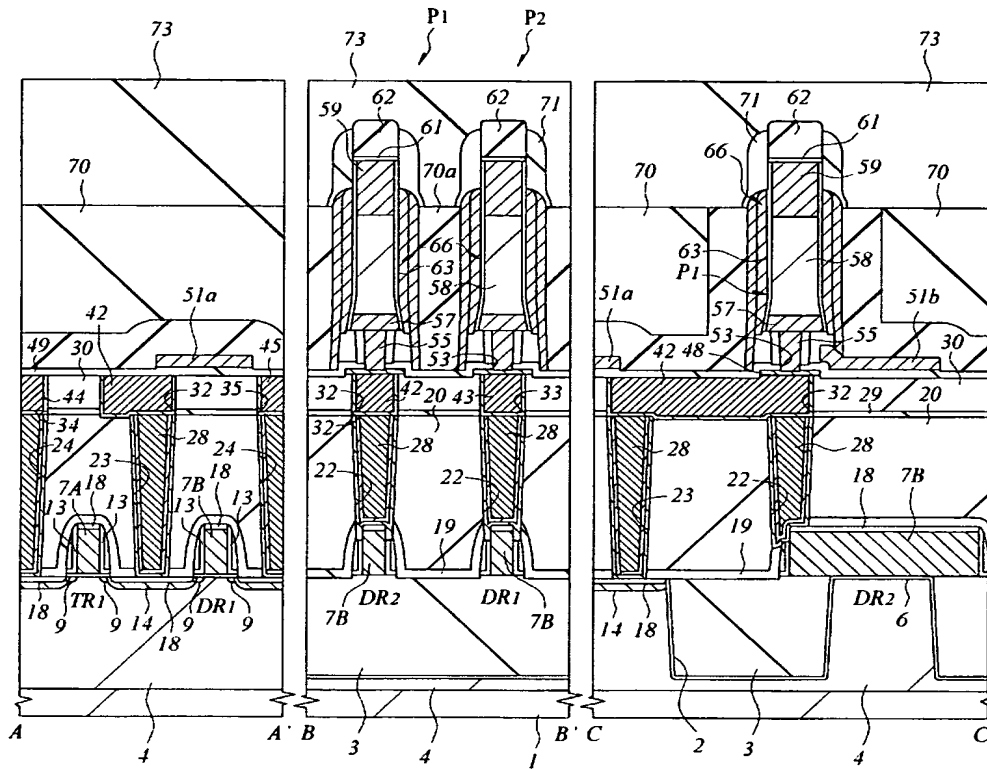
【図 27】

図 27

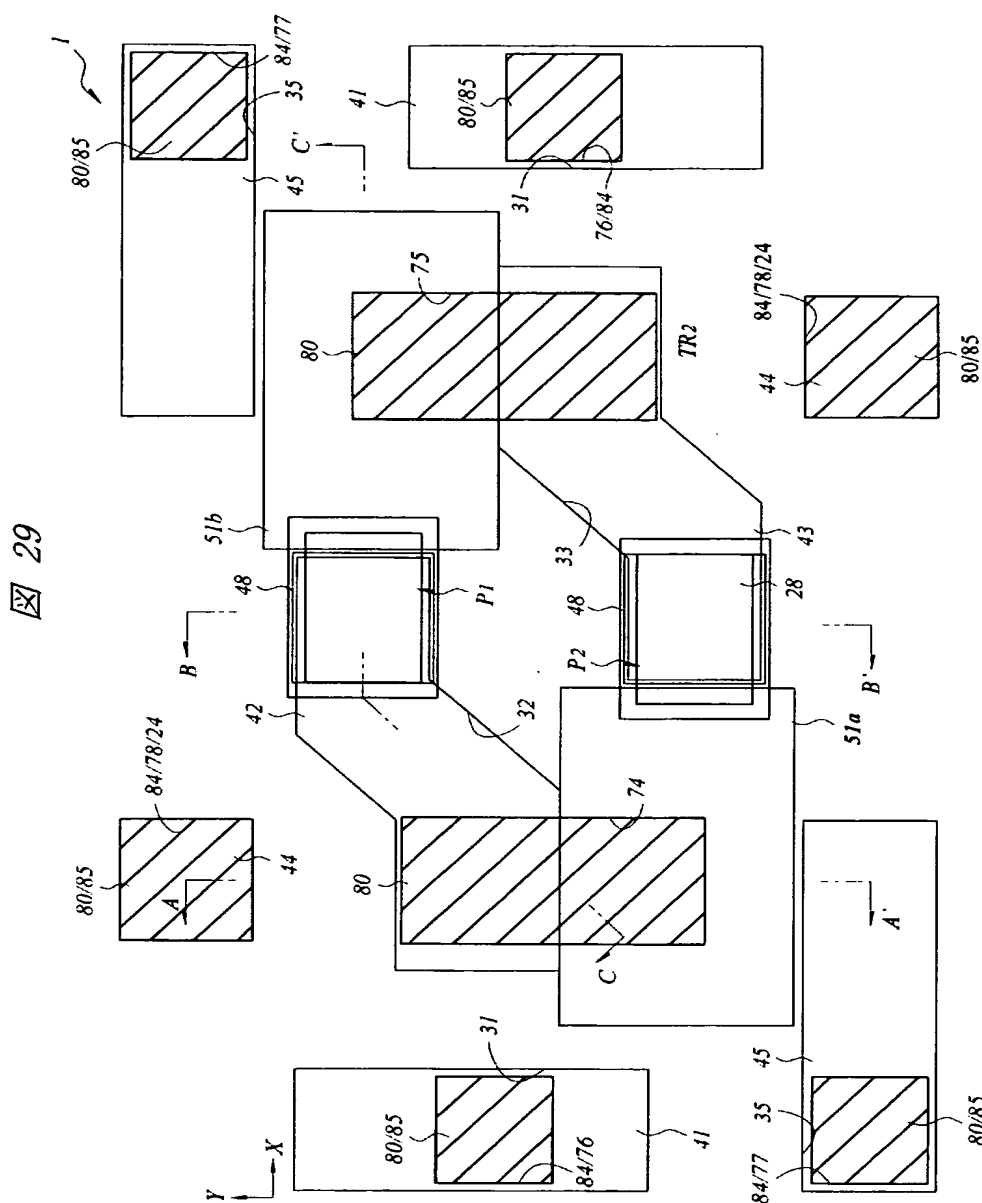


【図 28】

図 28

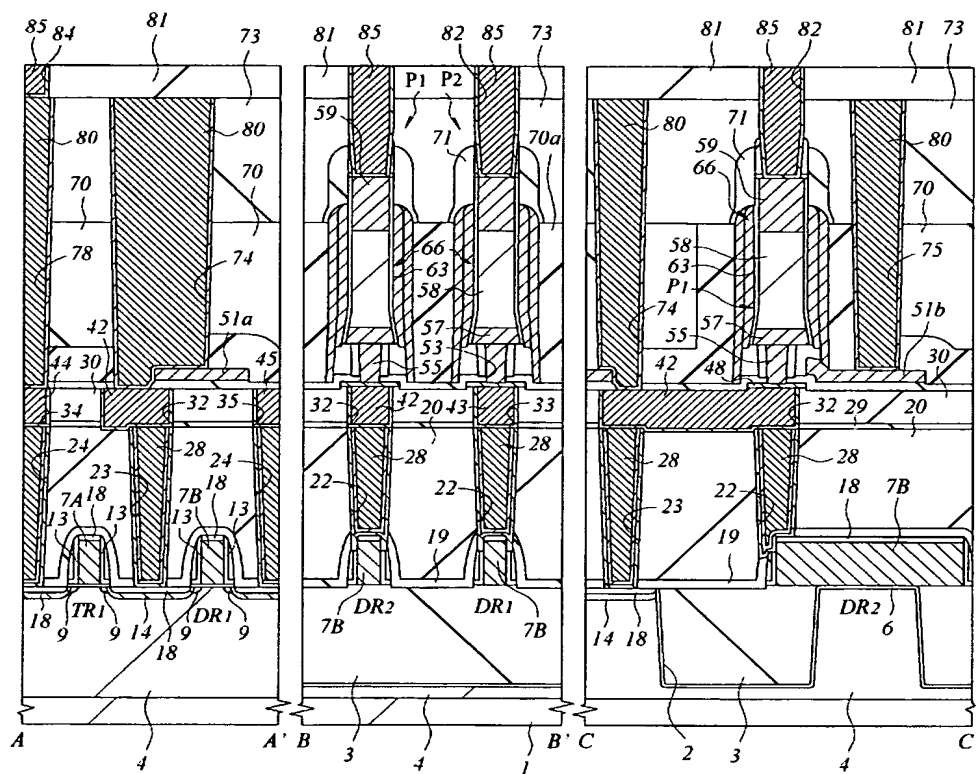


【図 29】

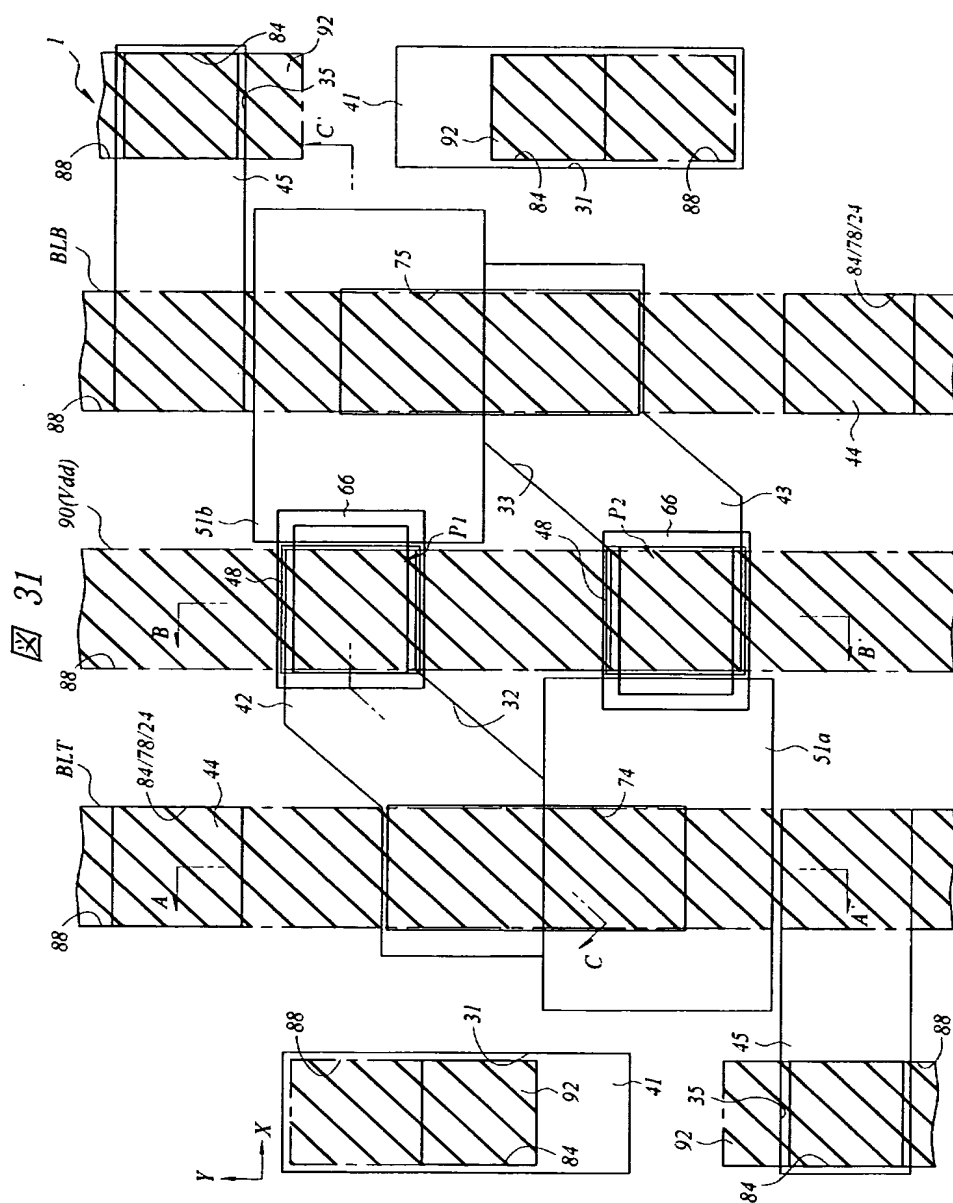


【図 30】

図 30

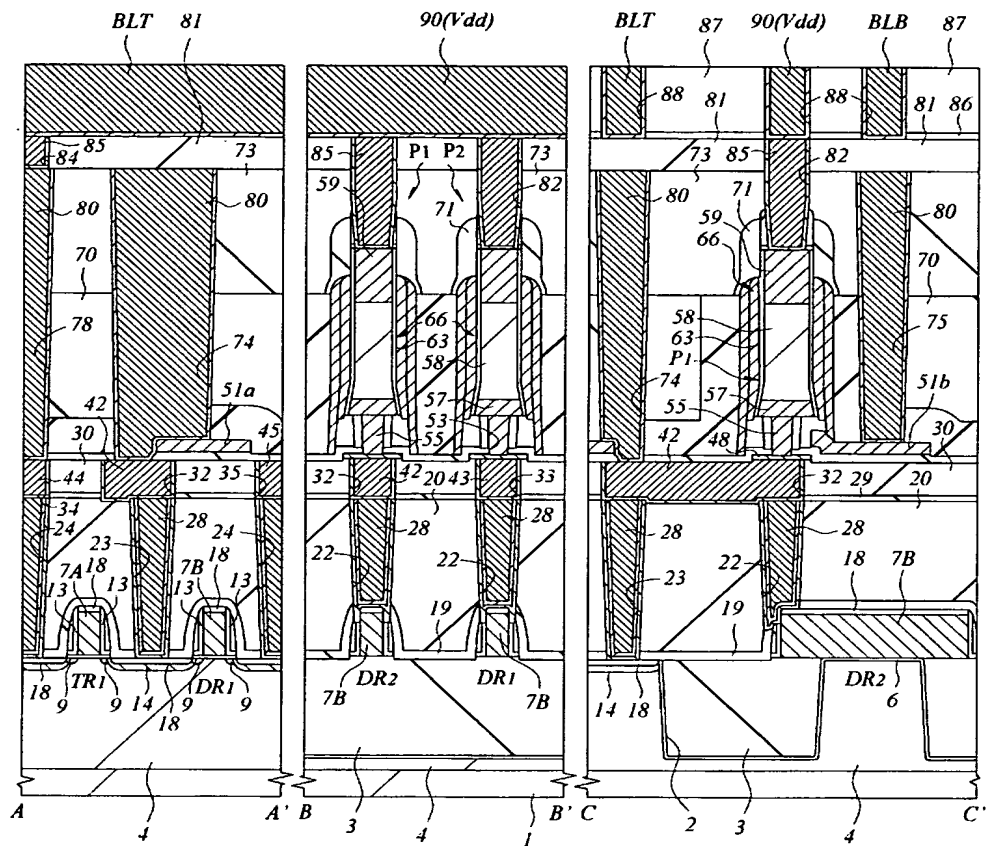


【図 31】

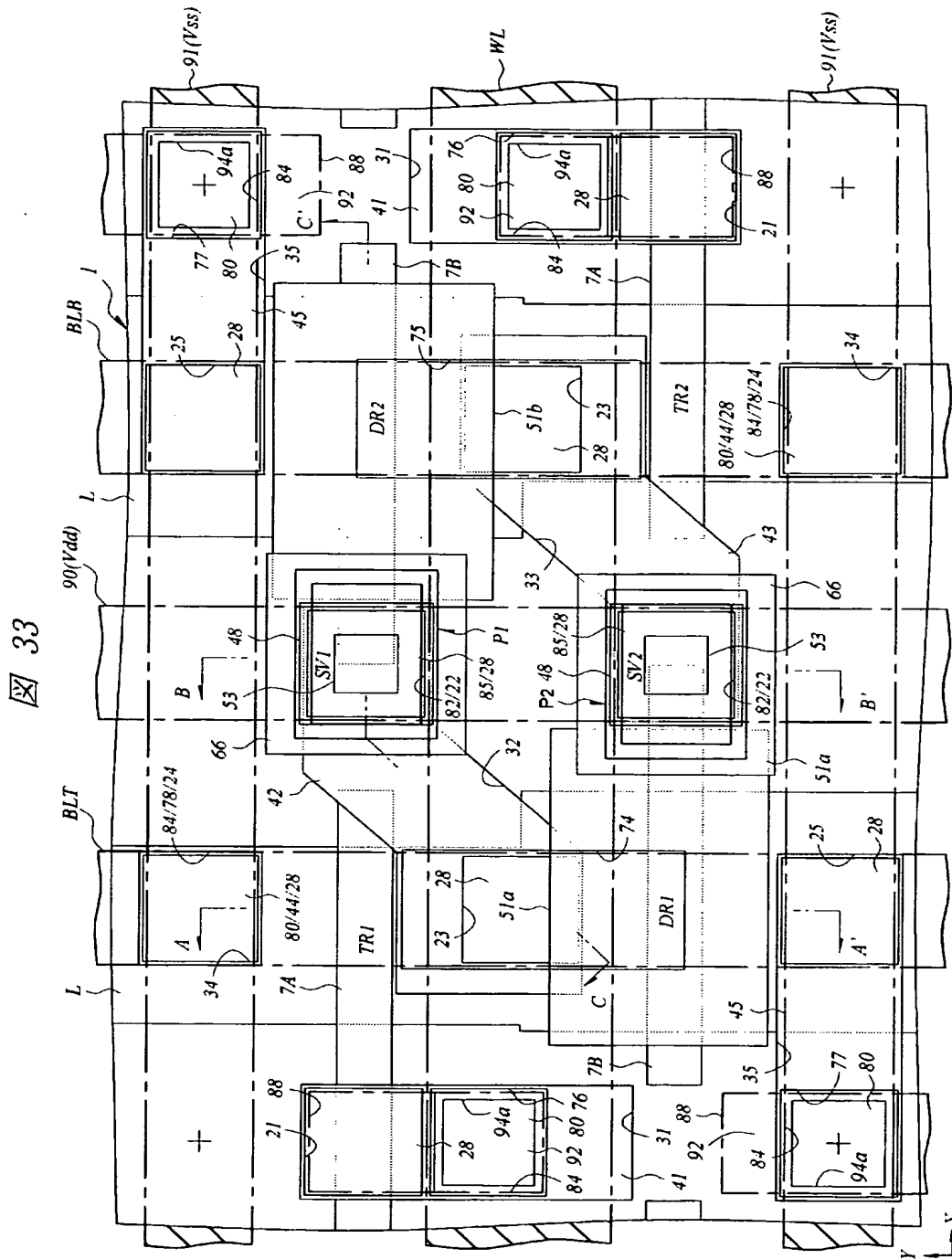


【図 3 2】

図 32

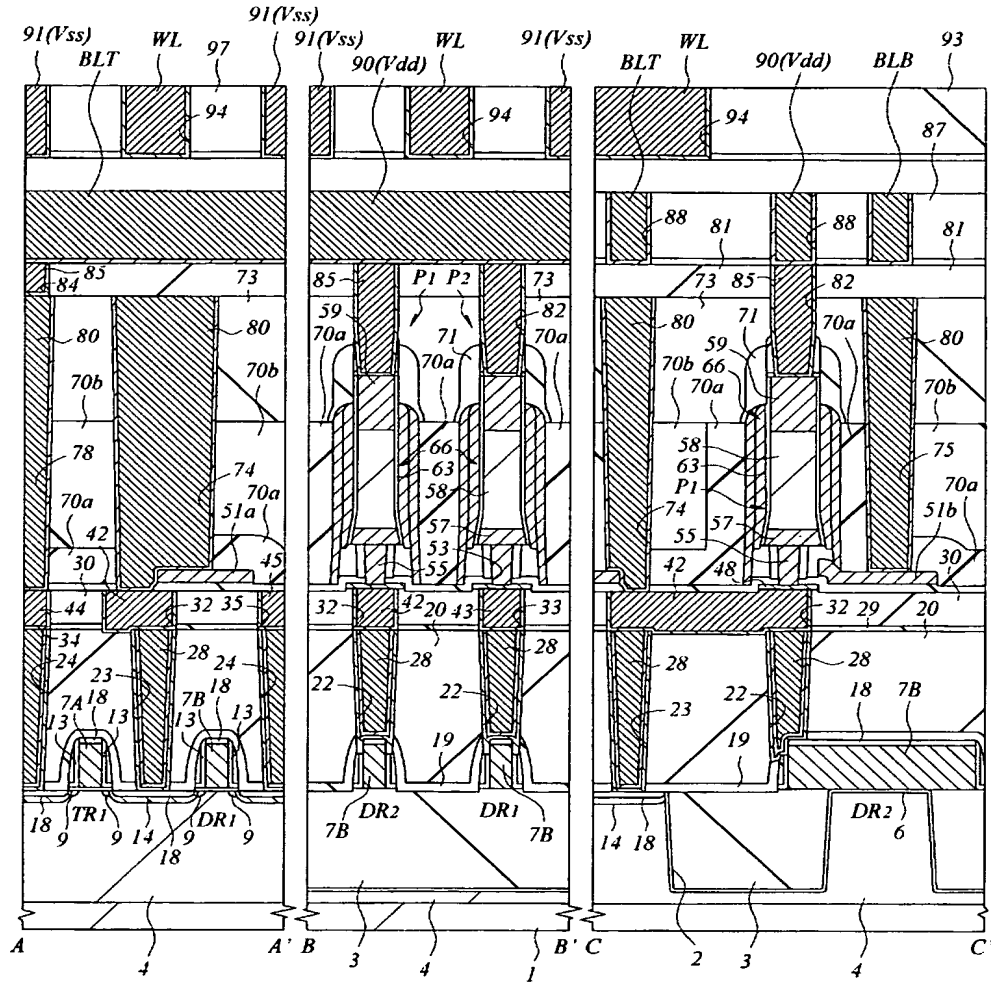


【図 33】

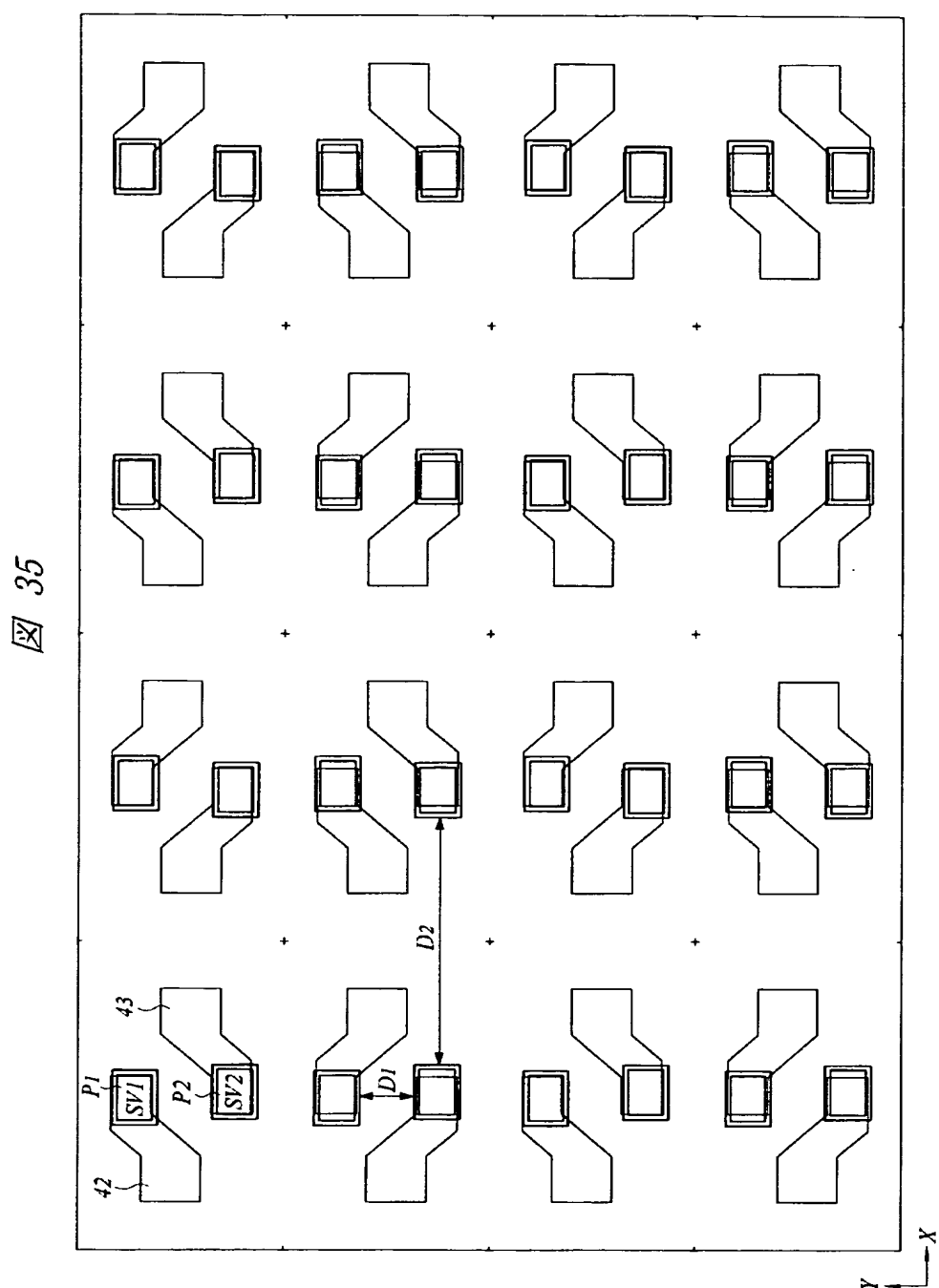


【図 34】

図 34

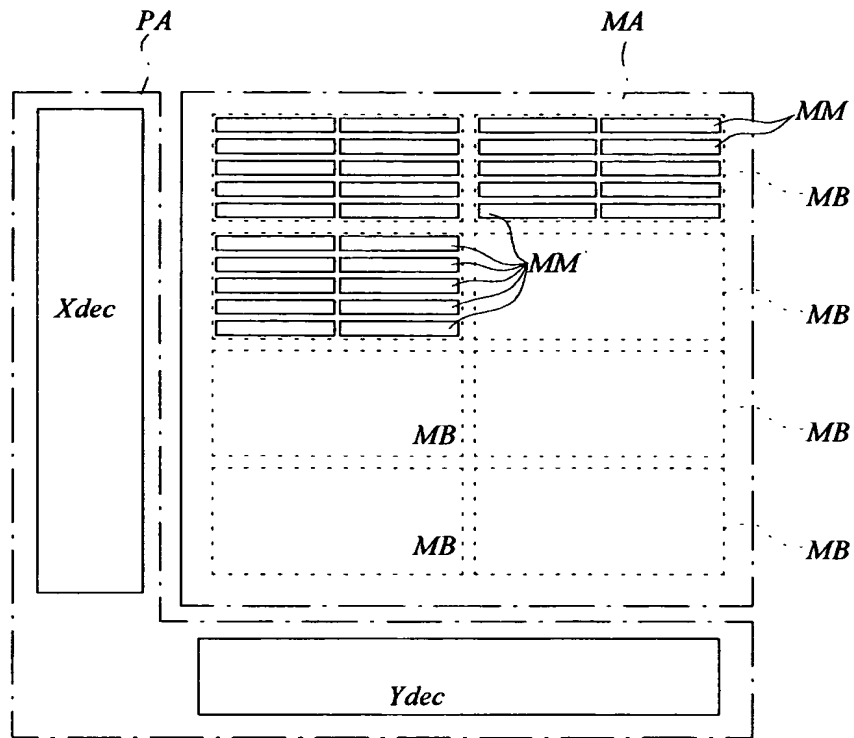


【図 35】

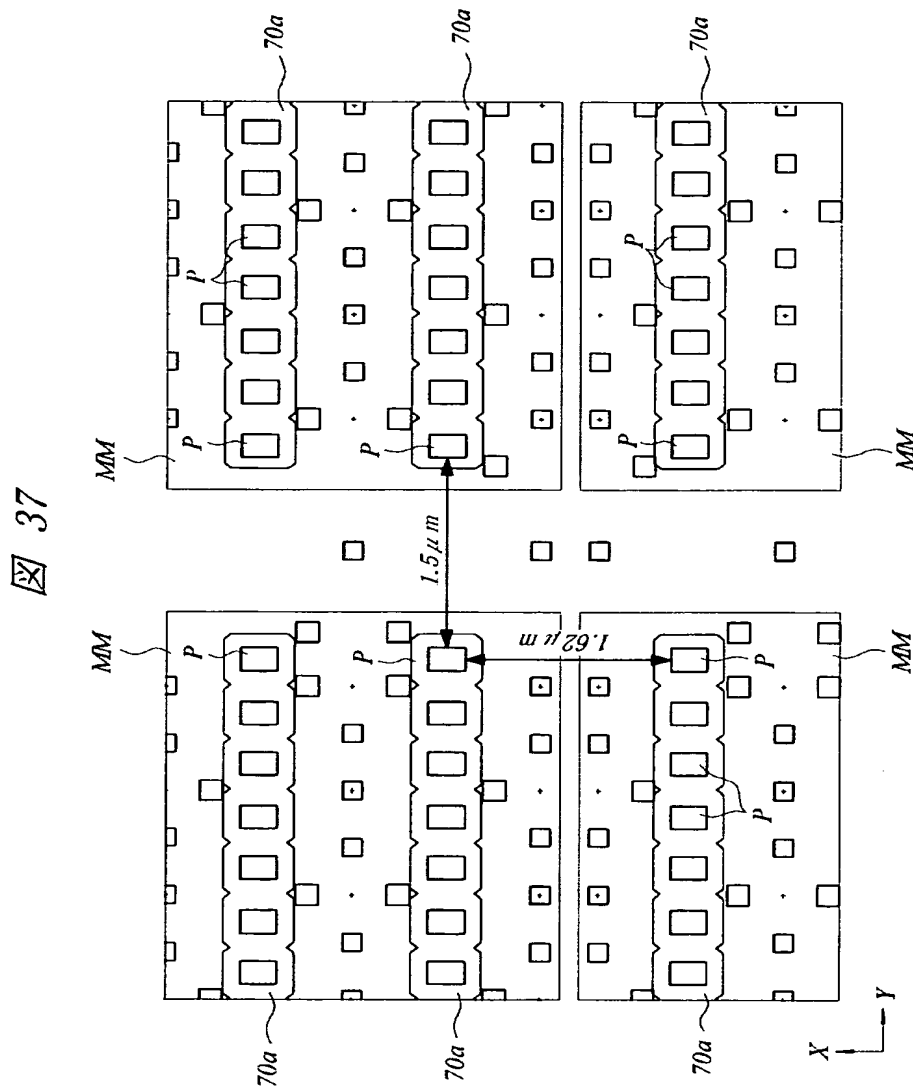


【図 36】

図 36

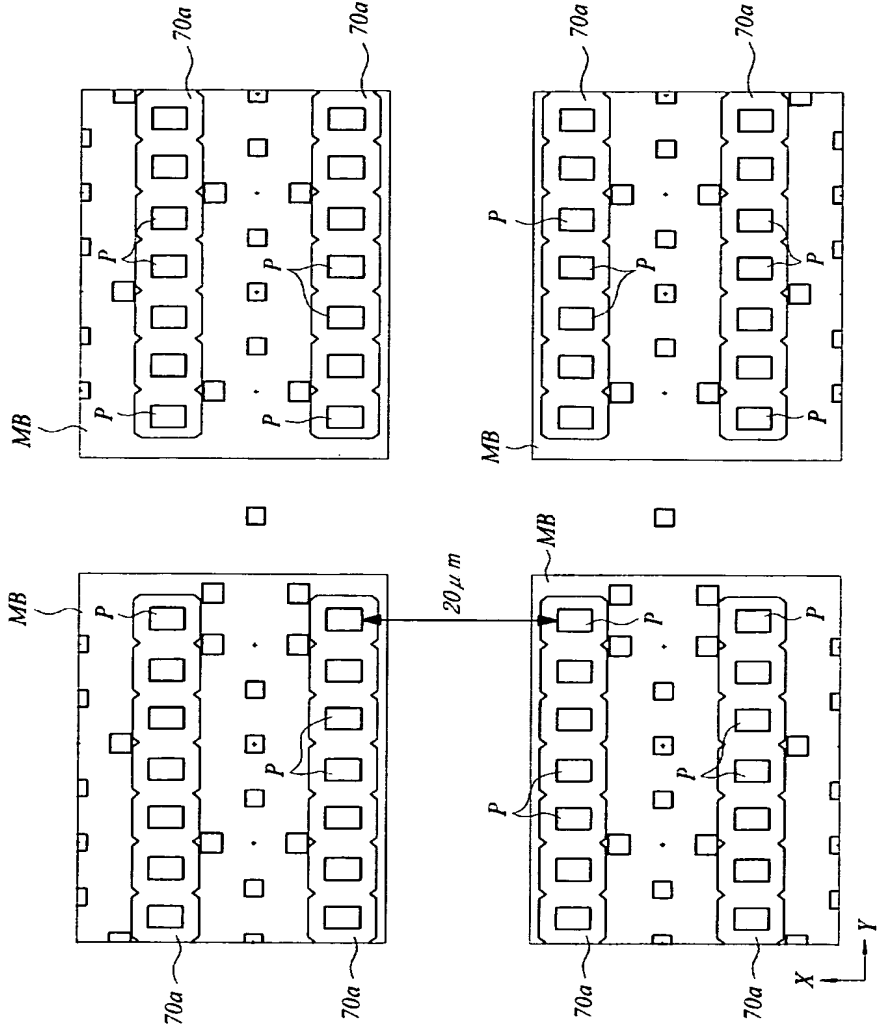


【図 37】

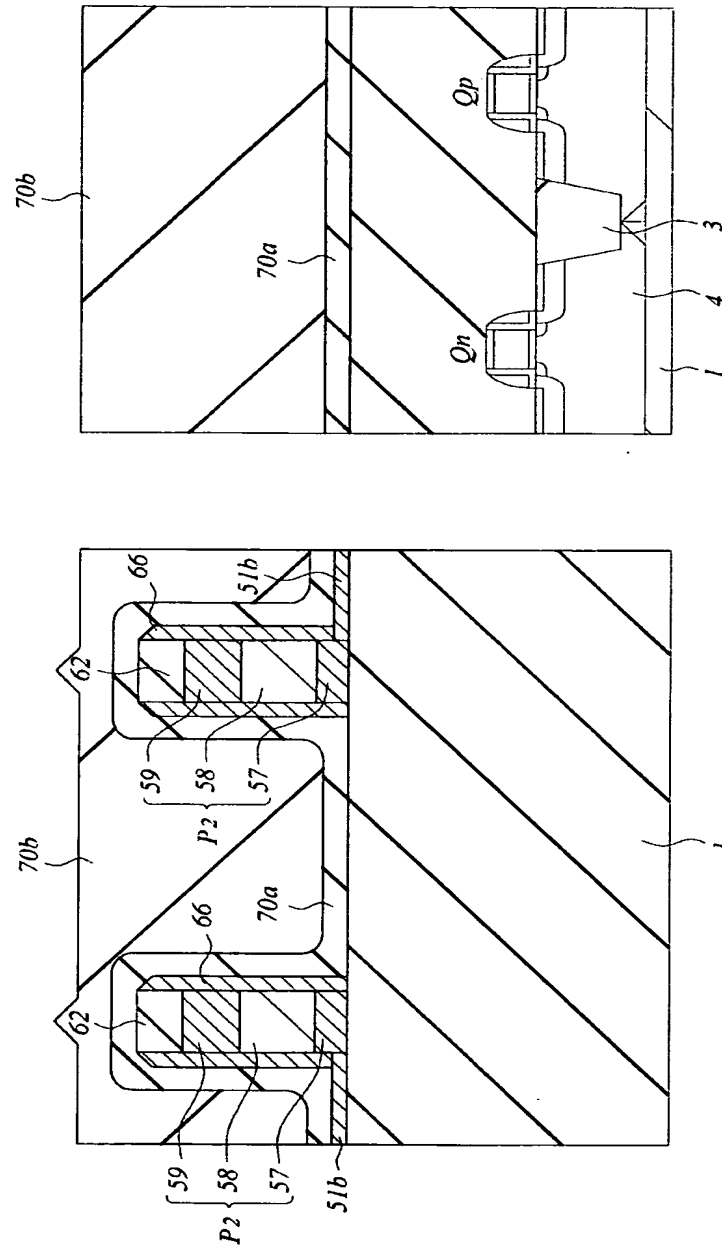


【図 38】

図 38

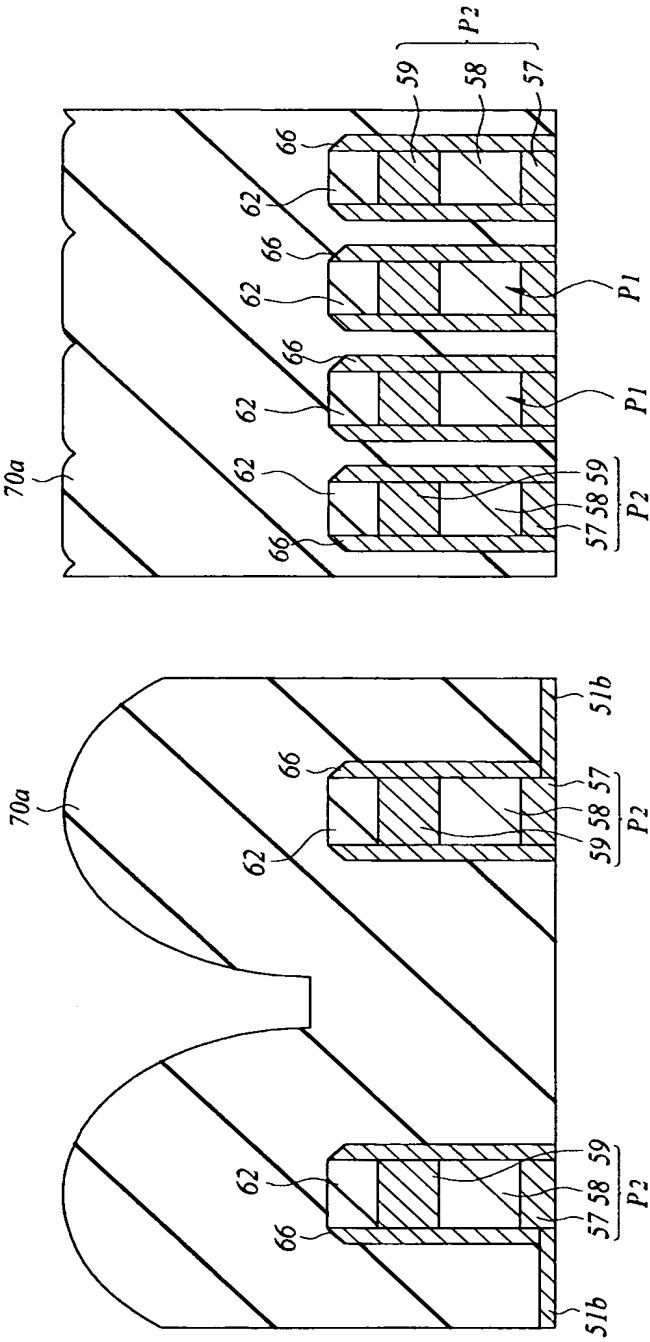


【図 3 9】



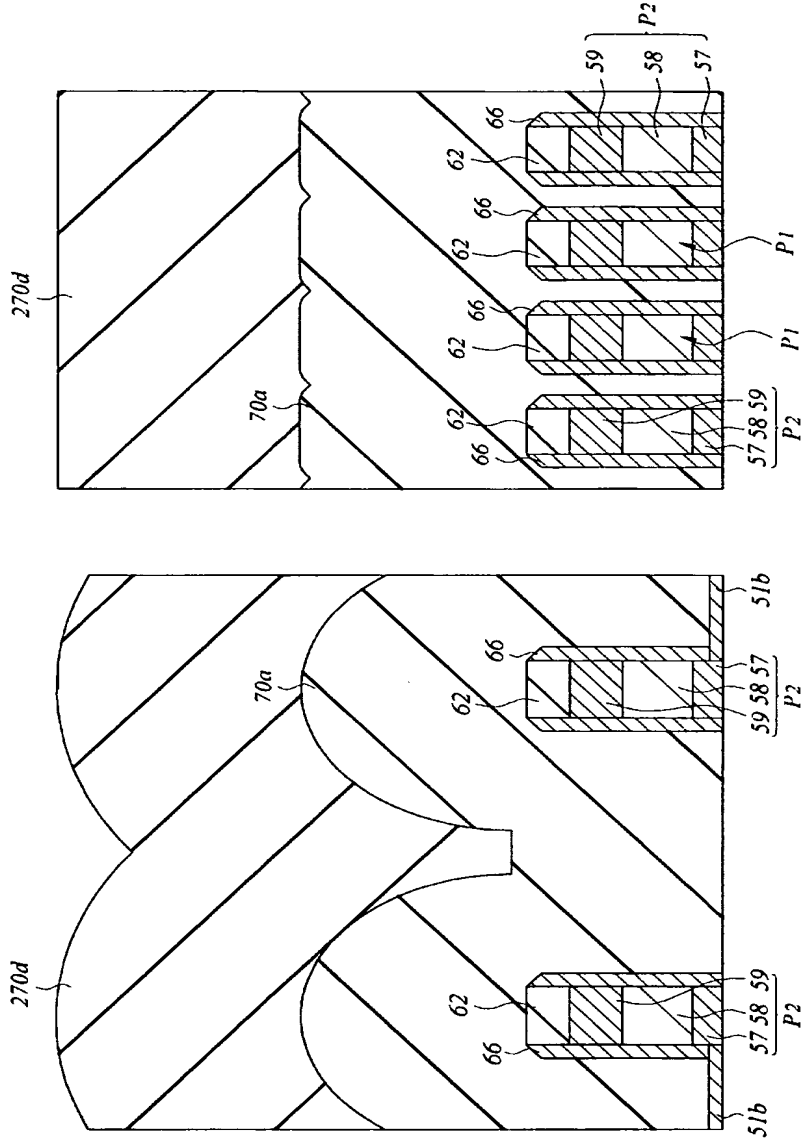
【図 40】

図 40



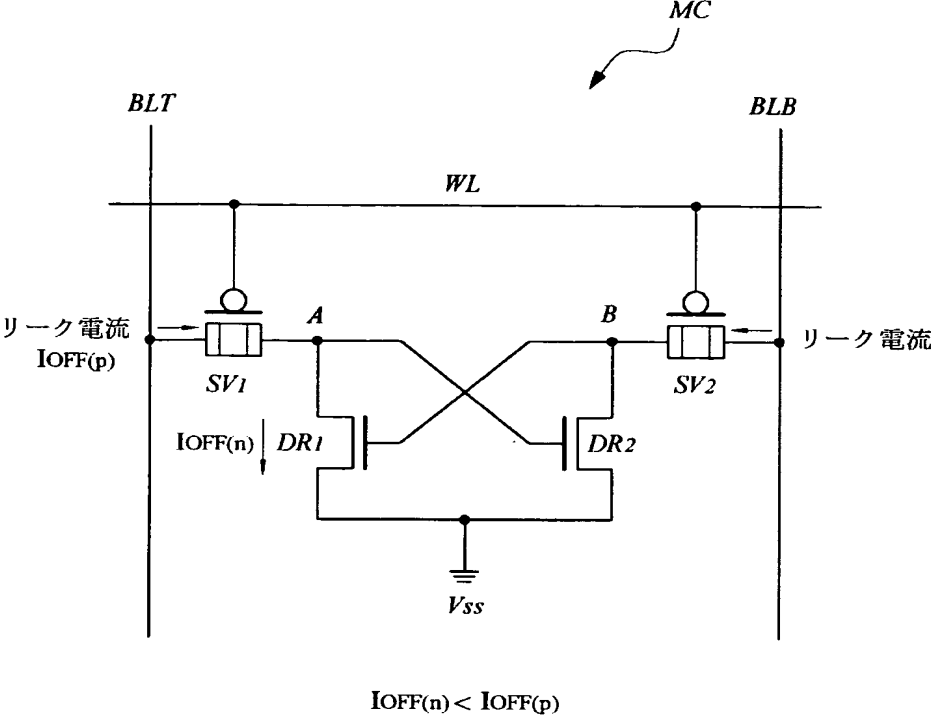
【図 41】

図 41

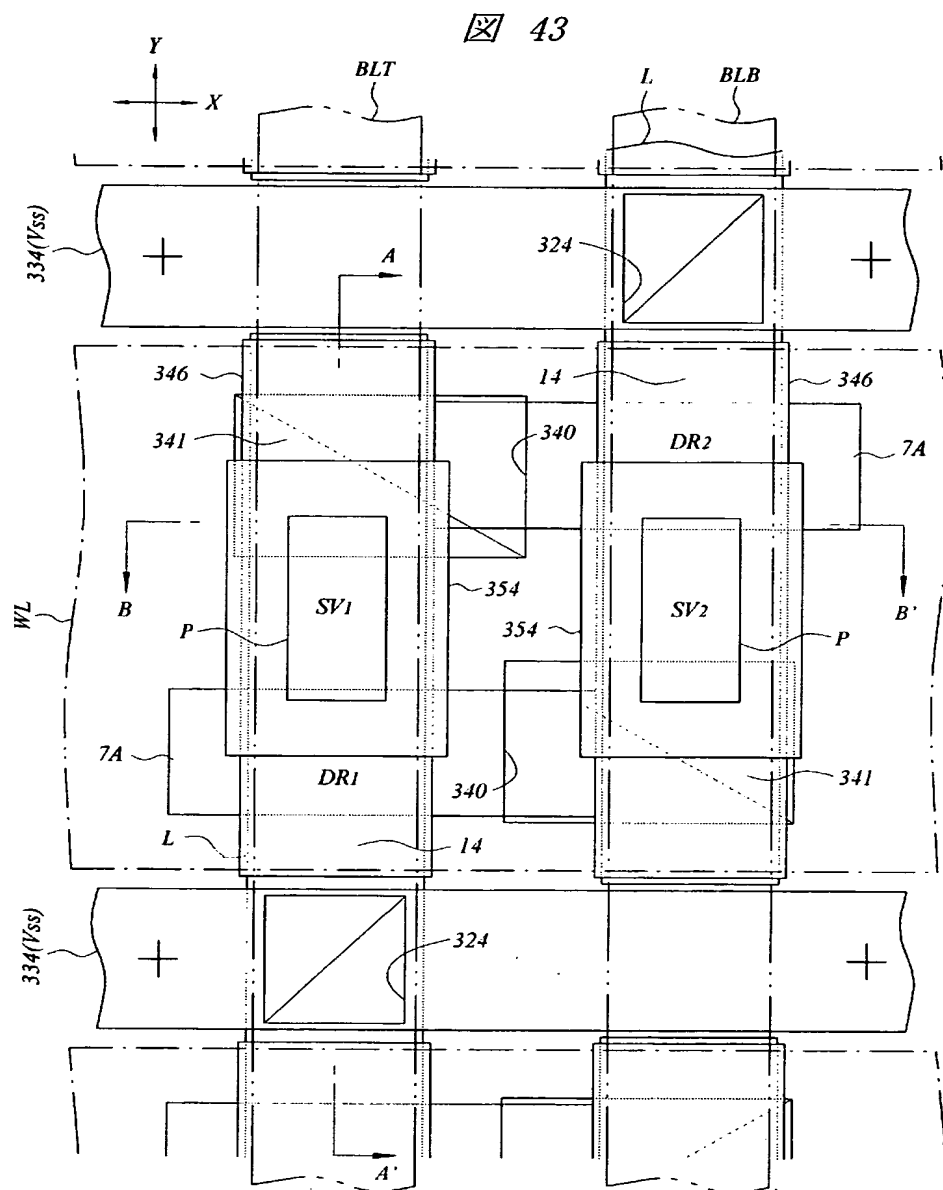


【図 42】

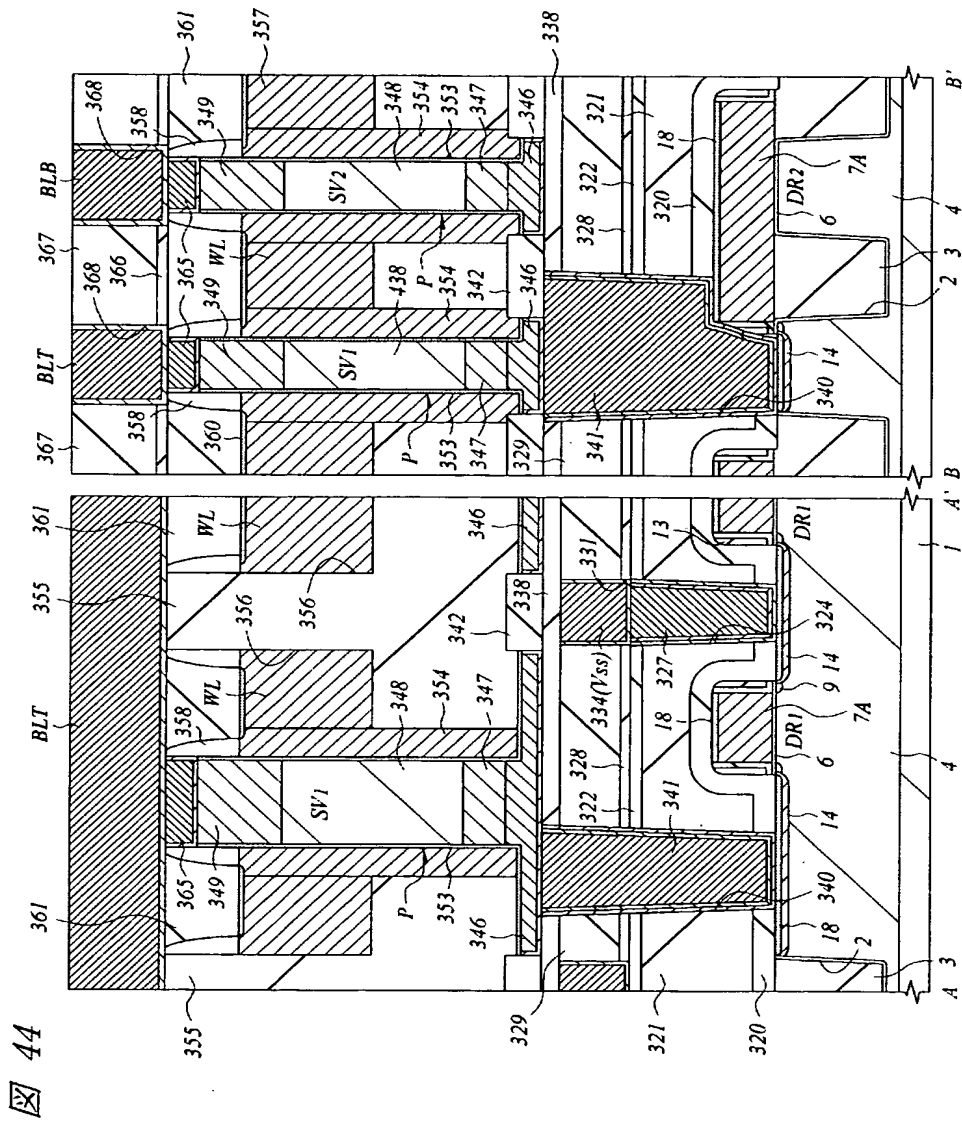
図 42



【図 43】

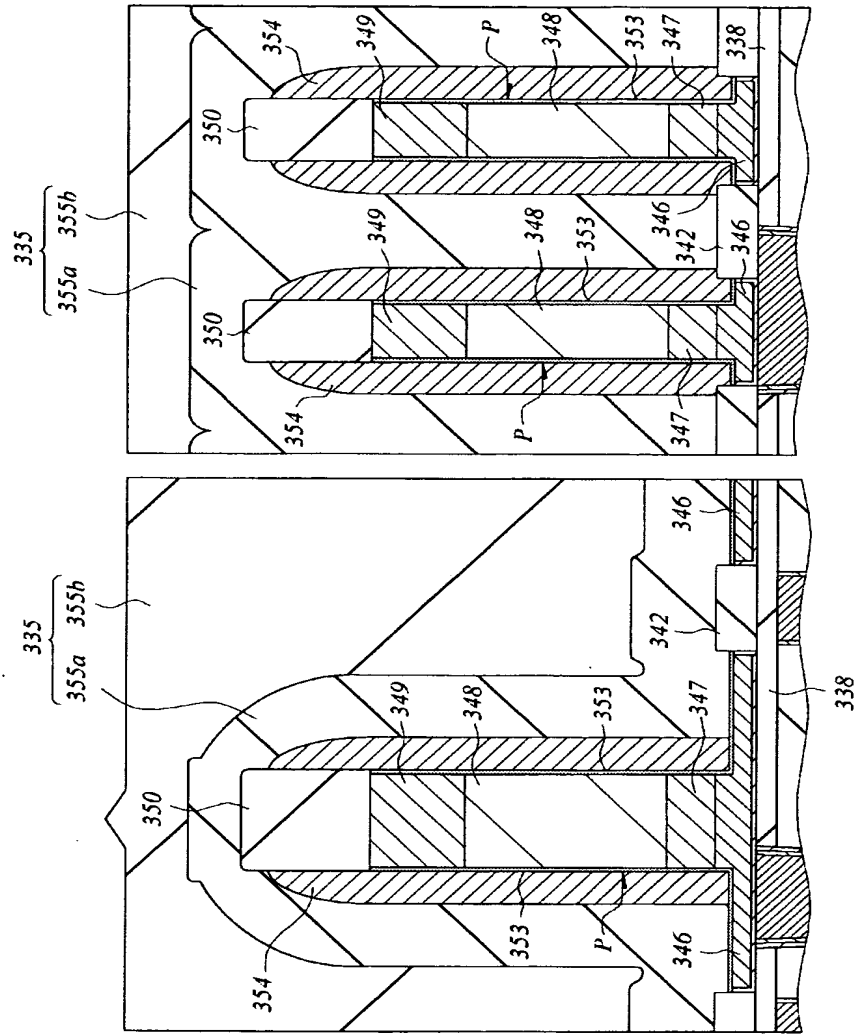


【図 44】



【図 46】

図 46



【書類名】 要約書

【要約】

【課題】 S R A Mメモリセルを構成する縦型M I S F E T間の埋め込み特性を向上させる。

【解決手段】 横型の駆動M I S F E Tおよび転送M I S F E Tの上部に縦型M I S F E Tを形成する際、Y方向（Y-Y'）においては狭いピッチで配置され、X方向（X-X'）においては広いピッチで配置される、下部半導体層57、中間半導体層58、上部半導体層59および窒化シリコン膜62を有する柱状の積層体（P1、P2）と、この積層体の側壁にゲート絶縁膜を介して形成されたゲート電極66との上部に、被覆性の良い第1絶縁膜（O₃-T E O S）70aを堆積し、狭ピッチ間を完全に埋め込んだ後、第1絶縁膜70aの上部に第2絶縁膜（H D P酸化シリコン膜）70bを堆積する。その結果、アスペクト比の大きい縦型M I S F E Tの狭ピッチ部においても絶縁膜の埋め込み特性が良くなる。

【選択図】 図23

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2003- 5825

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【提出物件の目録】

【包括委任状番号】 0308729

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 4 - 7 1 7 6 7 号 同日提出の出願人名
義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 0 5 8 2 5
受付番号	5 0 3 0 1 1 9 4 9 4 1
書類名	出願人名義変更届（一般承継）
担当官	関 浩次 7 4 7 5
作成日	平成 1 5 年 9 月 3 日

< 認定情報・付加情報 >

【提出日】 平成 1 5 年 7 月 1 8 日

特願 2003-005825

出願人履歴情報

識別番号

[000005108]

1. 変更年月日

1990年 8月31日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台4丁目6番地

氏 名

株式会社日立製作所

特願 2 0 0 3 - 0 0 5 8 2 5

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日
[変更理由]

2 0 0 3 年 4 月 1 日
新規登録

住 所
氏 名

東京都千代田区丸の内二丁目 4 番 1 号
株式会社ルネサステクノロジ